

PCT

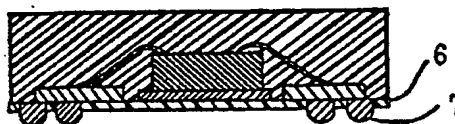
世界知的所有権機関
国 際 事 務 局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 23/12		A1	(11) 国際公開番号 WO95/26047
			(43) 国際公開日 1995年9月28日(28.09.95)
(21) 国際出願番号 (22) 国際出願日 (30) 優先権データ 特願平6/48760 1994年3月18日(18.03.94) JP 特願平6/273469 1994年11月8日(08.11.94) JP 特願平7/7683 1995年1月20日(20.01.95) JP 特願平7/56202 1995年3月15日(15.03.95) JP (71) 出願人 (米国を除くすべての指定国について) 日立化成工業株式会社 (HITACHI CHEMICAL COMPANY, LTD.)[JP/JP] 〒160 東京都新宿区西新宿二丁目1番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 福富直樹(FUKUTOMI, Naoki)[JP/JP] 〒307 茨城県結城市結城8463-5 Ibaraki, (JP) 坪松良明(TSUBOMATSU, Yoshiaki)[JP/JP] 〒300 茨城県土浦市右初24-2 Ibaraki, (JP) 井上文男(INOUE, Fumio)[JP/JP] 〒305 茨城県つくば市花畑1-15-18 日立化成紫峰寮A403号 Ibaraki, (JP)		PCT/JP95/00492 1995年3月17日(17.03.95) 山崎聡夫(YAMAZAKI, Toshio)[JP/JP] 〒305 茨城県つくば市松代3-4-3 日立松代ハウス203号 Ibaraki, (JP) 大畑洋人(OHHATA, Hirohito)[JP/JP] 〒305 茨城県つくば市花畑1-15-18 日立化成紫峰寮B204号 Ibaraki, (JP) 萩原伸介(HAGIWARA, Shinsuke)[JP/JP] 〒308 茨城県下館市玉戸1278-302 Ibaraki, (JP) 田口矩之(TAGUCHI, Noriyuki)[JP/JP] 〒305 茨城県つくば市花畑1-15-18 日立化成紫峰寮A504号 Ibaraki, (JP) 野村 宏(NOMURA, Hiroshi)[JP/JP] 〒329-02 栃木県小山市網戸227 Tochigi, (JP) (74) 代理人 弁理士 富田和子, 外(TOMITA, Kazuko et al.) 〒220 神奈川県横浜市西区北幸2丁目9-10 横浜HSビル7階 Kanagawa, (JP) (81) 指定国 CN, JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	

(54) Title : SEMICONDUCTOR PACKAGE MANUFACTURING METHOD AND SEMICONDUCTOR PACKAGE

(54) 発明の名称 半導体パッケージの製造法及び半導体パッケージ



(57) Abstract

A semiconductor package suitable for an increase in the degree of integration is provided. The package comprises a base including conductors made of nickel-coated electrolytic copper foil; and an LSI chip mounted on the copper foil, connected to the conductors at its terminal and sealed with epoxy resin. In the process of producing the package base, the copper foil alone is removed with an alkali etchant, and the exposed nickel layer is removed with a liquid that can hardly dissolve copper whereby interconnections are exposed. A pattern is formed so as to expose connecting terminals by applying a solder resist, and solder balls placed on the exposed terminals are fused to conductors of an external wiring board.

(57) 要約

半導体の高集積度化に対応できる半導体パッケージ基板を提供する。電解銅箔にニッケル層をめっきし配線を形成し、銅箔上にLSIチップを搭載し、LSI端子部と配線をワイヤボンドにより接続し、半導体封止用エポキシ樹脂を用いて封止する。銅箔のみをアルカリエッチャントで溶解除去し、ニッケルを露出させ、ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して配線部を露出させる。ソルダレジストを塗布し接続用端子部を露出するようにパターンを形成し、この配線露出部にはんだボールを配置し溶融させ、はんだボールを介して外部の配線板と接続する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	ES	スペイン	LR	リベリア	SD	スーダン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
BB	バルバドス	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	ガボン	LV	ラトヴィア	SI	スロベニア共和国
BF	ブルキナ・ファソ	GA	ガボン	MC	モナコ	SK	スロバキア共和国
BG	ブルガリア	GN	ギニア	MD	モルドバ	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	ML	マリ	TD	チャド
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TG	トーゴ
CA	カナダ	IS	アイスランド	MR	モロッコ	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イタリア	MW	モザンビーク	TM	トルクメニスタン
CG	コンゴ	JP	日本	MX	メキシコ	TT	トリニダード・トバゴ
CH	スイス	KE	ケニア	NE	ニジェール	UG	ウガンダ
CI	コート・ジボアール	KP	朝鮮民主主義人民共和国	NL	オランダ	US	米国
CN	中国	KR	大韓民国	NO	ノルウェー	UZ	ウズベキスタン共和国
CZ	チェコ共和国	KZ	カザフスタン	NZ	ニュージーランド	VN	ベトナム
DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド		
DK	デンマーク			PT	ポルトガル		
				RO	ルーマニア		

-1-

明 細 書

半導体パッケージの製造法及び半導体パッケージ

技術分野

本発明は、半導体パッケージの製造法及び半導体パッケージに関する。

背景技術

半導体の集積度が向上するに従い、入出力端子数が増加している。従って、多くの入出力端子数を有する半導体パッケージが必要になった。一般に、入出力端子はパッケージの周辺に一行配置するタイプと、周辺だけでなく内部まで多列に配置するタイプがある。前者は、QFP(Quad Flat Package)が代表的である。これを多端子化する場合は、端子ピッチを縮小することが必要であるが、0.5mmピッチ以下の領域では、配線板との接続に高度な技術が必要になる。後者のアレイタイプは比較的大きなピッチで端子配列が可能のため、多ピン化に適している。

従来、アレイタイプは接続ピンを有するPGA (Pin Grid Array)が一般的であるが、配線板との接続は挿入型となり、表面実装には適していない。このため、表面実装可能なBGA (Ball Grid Array)と称するパッケージが開発されている。BGAの分類としては、(1)セラミックタイプ、(2)プリント配線板タイプ及び(3)TAB (tape automated bonding) を使ったテープタイプなどがある。このうち、セラミックタイプについては、従来のPGAに比べるとマザーボードとパッケージ間の距離が短くなるために、マザーボードとパッケージ間の熱応力差に起因するパッケージ反りが深刻な問題である。また、プリント配線板タイプについても、基板の反り、耐湿性、信頼性などに加えて基板厚さが厚いなどの問題があり、TAB技術

-2-

を適用したテープBGAが提案されている。

パッケージサイズの更なる小型化に対応するものとして、半導体チップとほぼ同等サイズの、いわゆるチップサイズパッケージ (CSP; Chip Size Package) が提案されている。これは、半導体チップの周辺部でなく、実装領域内に外部配線基板との接続部を有するパッケージである。

具体例としては、バンプ付きポリイミドフィルムを半導体チップの表面に接着し、チップと金リード線により電氣的接続を図った後、エポキシ樹脂などをポッティングして封止したもの (NIKKEI MATERIALS & TECHNOLOGY 94. 4, No.140, p 18-19) や、仮基板上に半導体チップ及び外部配線基板との接続部に相当する位置に金属バンプを形成し、半導体チップをフェースダウンボンディング後、仮基板上でトランスファーマールドしたもの (Smallest Flip-Chip-Like Package CSP; The Second VLSI Packaging Workshop of Japan, p46-50, 1994) などである。

一方、前述のように、BGAやCSP分野でポリイミドテープをベースフィルムとして利用したパッケージが検討されている。この場合、ポリイミドテープとしては、ポリイミドフィルム上に接着材層を介して銅箔をラミネートしたものが一般的であるが、耐熱性や耐湿性などの観点から銅箔上に直接ポリイミド層を形成した、いわゆる2層フレキ基材が好ましい。2層フレキ基材の製造方法としては、①銅箔上にポリイミドの前駆体であるポリアミック酸を塗布し後熱硬化させる方法、②硬化したポリイミドフィルム上に真空成膜法や無電解めっき法などにより金属薄膜を形成する方法に大別されるが、例えば、レーザ加工を適用して所望する部分 (第2の接続機能部に相当) のポリイミドを除去して銅箔に達する凹部を設ける場合には、ポリイミドフィルムはできる限り薄いことが好ましい。反面、2層フレキ基材をリードフレーム状に加工してハンドリングする場合、ベースフィルム厚さが薄いとハ

-3-

ンドリング性やフレームとしての剛直性に欠けるなどの問題がある。

以上のように小型化高集積度化に対応できる半導体パッケージとして、種々の提案がされているが、性能、特性、生産性等全てにわたって満足するよう一層の改善が望まれている。

本発明は、小型化、高集積度化に対応できる半導体パッケージを、生産性良くかつ安定的に製造するを可能とする半導体パッケージの製造法及び半導体パッケージを提供するものである。

発明の開示

本願の第一の発明は、

- 1 A. 導電性仮支持体の片面に配線を形成する工程、
 - 1 B. 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
 - 1 C. 半導体素子を樹脂封止する工程、
 - 1 D. 導電性仮支持体を除去し配線を露出する工程、
 - 1 E. 露出された配線の外部接続端子が形成される箇所以外に絶縁層を形成する工程、
 - 1 F. 配線の絶縁層が形成されていない箇所に外部接続端子を形成する工程
- を含むことを特徴とする半導体パッケージの製造法である。

本願の第二の発明は、

- 2 A. 導電性仮支持体の片面に配線を形成する工程、
- 2 B. 配線が形成された導電性仮支持体の配線が形成された面に絶縁性支持体を形成する工程、
- 2 C. 導電性仮支持体を除去し配線を絶縁性支持体に転写する工程、
- 2 D. 配線の外部接続端子が形成される箇所の絶縁性支持体を除去し外部接続端子用透孔を設ける工程、

-4-

- 2 E. 配線が転写された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 2 G. 半導体素子を樹脂封止する工程、
- 2 H. 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程

を含むことを特徴とする半導体パッケージの製造法である。

第二の発明に於いて、2 A～2 Hの順に進めるのが好ましいが、2 Dの工程を2 Bの前に行うようにしても良い。例えば2 Bの工程を外部接続端子用透孔を予め設けた絶縁フィルム絶縁性支持体を配線が形成された導電性仮支持体の配線が形成された面に貼り合わすことにより行っても良い。

本願の第三の発明は、

- 3 A. 導電性仮支持体の片面に配線を形成する工程、
- 3 B. 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 3 C. 半導体素子を樹脂封止する工程、
- 3 D. 配線の外部接続端子が形成される箇所以外の導電性仮支持体を除去し導電性仮支持体よりなる外部接続端子を形成する工程、
- 3 E. 外部接続端子の箇所以外に絶縁層を形成する工程、を含むことを特徴とする半導体パッケージの製造法である。

本願の第四の発明は、

- 4 A. 導電性仮支持体の片面に配線を形成する工程、
- 4 B. 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 4 C. 半導体素子を樹脂封止する工程、
- 4 D. 導電性仮支持体の半導体素子搭載面と反対側の配線の外部接続端子が形成される箇所に、導電性仮支持体と除去条件が異なる金属パターンを形成する工程、
- 4 E. 金属パターンが形成された箇所以外の導電性仮支持体を除去する工程

-5-

を含むことを特徴とする半導体パッケージの製造法である。

金属パターンとしてははんだが好ましく、又ニッケル続いて金の層を積ねたものでも良い。

本願の第五の発明は、

- 5 A. 絶縁性支持体の片面に複数組の配線を形成する工程、
- 5 B. 配線の外部接続端子となる箇所を絶縁性支持体から除去し外部接続端子用透孔を設ける工程
- 5 C. 複数組の配線が形成された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 5 D. 半導体素子を樹脂封止する工程、
- 5 E. 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程、
- 5 F. 個々の半導体パッケージに分離する工程

を含むことを特徴とする半導体パッケージの製造法である。

第五の発明に於いて、製造工程は、5 A～5 Fの順に進めるのが好ましいが、5 A、5 Bを逆にしても良い。すなわち外部接続端子用透孔を設けた絶縁性支持体に、複数組の配線を形成するようにしても良い。

本願の第六の発明は、

- 6 A. 導電性仮支持体の片面に複数組の配線を形成する工程、
- 6 B. 導電性仮支持体に形成された複数組の配線を所定の単位個数になるように導電性仮支持体を切断分離し、配線が形成された分離導電性仮支持体をフレームに固着する工程、
- 6 C. 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 6 D. 半導体素子を樹脂封止する工程、
- 6 E. 導電性仮支持体を除去し配線を露出する工程、
- 6 F. 露出された配線の外部接続端子が形成される箇所以外に絶縁層を形成する工程、
- 6 G. 配線の絶縁層が形成されていない箇所に外部接続端子

-6-

を形成する工程

6 H. 個々の半導体パッケージに分離する工程

を含むことを特徴とする半導体パッケージの製造法である。

6 Bの所定の単位個数は1個が好ましいが、生産性を上げるため複数個であっても良い。

本願の第七の発明は、

7 A. 絶縁性支持体の片面に複数組の配線を形成する工程、

7 B. 配線の外部接続端子となる箇所 of 絶縁性支持体を除去し外部接続端子用透孔を設ける工程

7 C. 絶縁性支持体に形成された複数組の配線を所定の単位個数になるように絶縁性支持体を切断分離し、配線が形成された分離絶縁性支持体をフレームに固着する工程、

7 D. 配線が形成された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、

7 E. 半導体素子を樹脂封止する工程、

7 F. 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程、

7 G. 個々の半導体パッケージに分離する工程

を含むことを特徴とする半導体パッケージの製造法である。

製造工程は、7 A～7 Gの順に進めるのが好ましいが、第五の発明と同様7 A、7 Bを逆にしても良い。

本願の第八の発明は、1層の配線においてその配線の片面が半導体素子と接続する第1の接続機能を持ち、その配線の反対側が外部の配線と接続する第2の接続機能をもつように構成された配線を備えた半導体パッケージの製造法であって、下記8 A、8 B、8 C、8 Dの工程を含むことを特徴とする半導体パッケージの製造法。

8 A. 耐熱性を有する金属箔付き絶縁基材の金属箔を複数組の配線パターンに加工する工程。

8 B. 後工程で第2の接続機能部となる位置に、絶縁基材側から配線パターンに達する凹部を設ける工程。

-7-

8 C. 配線パターン面及び配線パターンと隣接する絶縁基材面上の所望する位置に、所定の部分を開孔させたフレーム基材を貼り合わせる工程。

8 D. 半導体素子を搭載し半導体素子端子と配線を導通し半導体素子を樹脂封止する工程。

第八の発明に於いて、工程は8 A～8 Dの順に進めるのが好ましいが、8 Aと8 Bを逆にしても良い。すなわち、絶縁基板に金属箔に達する凹を設けた後金属箔を配線パターンに加工するようにしても良い。

本願の第九の発明は、1層の配線においてその配線の片面が半導体素子と接続する第1の接続機能を持ち、その配線の反対側が外部の配線と接続する第2の接続機能をもつように構成された配線を備えた半導体パッケージの製造法であって、下記9 A、9 B、9 C、9 Dの工程を含むことを特徴とする半導体パッケージの製造法。

9 A. 耐熱性を有する金属箔付き絶縁基材の金属箔を複数組の配線パターンに加工する工程。

9 B. 後工程で第2の接続機能部となる位置に、絶縁基材側から配線パターンに達する凹部を設ける工程。

9 C. 配線パターン面及び配線パターンと隣接する絶縁基材面上の所望する位置に、所定の部分を開孔させた第2絶縁基材を貼り合わせ絶縁支持体を構成する工程。

9 D. 絶縁支持体に形成された複数組の配線を所定の単位個数になるように絶縁支持体を切断分離し、配線が形成された分離絶縁支持体をフレームに固着する工程。

9 E. 半導体素子を搭載し半導体素子端子と配線を導通し半導体素子樹脂封止する工程。

第九の発明に於いて、工程は9 A～9 Eの順に進めるのが好ましいが、第八の発明と同様9 Aと9 Bを逆にしても良い。

本願の第十の発明は、

10 A. 支持体の片面に複数組の配線を形成する工程、

-8-

10B. 配線が形成された支持体に複数個の半導体素子を搭載し、半導体素子端子と配線とを導通させる工程、

10C. 導通された複数組の半導体素子と配線とを一括して樹脂封止する工程、10D. 支持体の所望する部分を除去して配線の所定部分を露出させ、露出した配線と電氣的に接続した外部接続端子を形成する工程、

10E. 個々の半導体パッケージに分離する工程を含むことを特徴とする半導体パッケージの製造法である。

支持体として金属箔を使用し樹脂封止後に支持体を除去することにより配線パターンを露出させるようにしても良い。

又、支持体が絶縁基材で、樹脂封止後に絶縁基材の所定部分を除去して配線パターンに達する非貫通凹部を形成するようにすることもできる。

本願の第十一の発明は、複数個の半導体素子実装基板部を備え、複数個の半導体素子実装基板部を連結するための連結部を備え、位置合わせマーク部を備えている半導体素子実装用フレームの製造法であって、

(a) 導電性仮基板上に半導体素子実装部の配線を作製する工程、

(b) 樹脂基材上に配線を転写する工程、

(c) 導電性仮基板をエッチング除去する工程、

を含み、(c)の導電性仮基板の除去に際して、導電性仮基板に一部を残し連結部の一部を構成するようにすることを特徴とする半導体素子実装用フレームの製造法である。

本発明では、半導体素子はLSIチップ、ICチップ等通常の素子ができる。

半導体素子端子と配線とを同通する方法には、ワイヤボンディングだけでなく、バンプ、異方導電性フィルム等通常の手段を用いることができる。

本発明においては、半導体素子を樹脂封止した後、封止樹脂硬化物を加熱処理することにより、そり、変形のない半導

体パッケージを製造することができる。

加熱処理は、封止樹脂硬化物のガラス転移温度 $\pm 20^{\circ}\text{C}$ の温度が好ましい。この理由は、ガラス転移温度 $\pm 20^{\circ}\text{C}$ の範囲で樹脂硬化物は最も塑性的な性質が強く、残留歪みを解消し易いためである。加熱処理の温度が、ガラス転移温度 -20°C 未満では樹脂硬化物はガラス状態の弾性体となり緩和の効果が少なくなる傾向があり、ガラス転移温度 $+20^{\circ}\text{C}$ を超えれば樹脂硬化物はゴム弾性体となり同様に歪みを解消する効果がすきなくなる傾向にある。

封止樹脂硬化物のガラス転移温度 $\pm 20^{\circ}\text{C}$ の温度で加熱処理をした後、 $5^{\circ}\text{C}/\text{分}$ 以下の降温速度で室温まで冷却することにより、半導体パッケージのそり、変形をより確実に防止することができる。

加熱処理及び／又は冷却の工程は、封止樹脂硬化物の上下面を剛性平板で、封止樹脂硬化物のそり、変形を押さえる力で押圧した状態で行うのが好ましい。

本発明の半導体パッケージにおいては、配線は1層の配線においてその配線の片面が半導体チップと接続する第1の接続機能を持ち、その配線の反対面が外部の配線と接続する第2の接続機能をもつように構成されている。

外部の配線と接続する外部接続端子は、例えばはんだバンブ、金バンブ等が好的に使用できる。

外部接続端子は、半導体素子端子が配線とワイヤボンディング等で導通される位置より内側に設けるようにするのが高密度化の上で好ましい（ファンインタイプ）。このように外部接続端子の位置は、半導体素子が搭載された下面に格子状に配置するのが高密度化の上で好ましい。

図面の簡単な説明

図1は、本発明の半導体パッケージの製造法の一例を説明す

る断面図である。

図 2 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 3 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 4 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 5 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 6 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 7 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 8 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 9 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 10 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 11 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 12 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 13 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 14 は、本発明の半導体パッケージの製造法の一例を説明する平面図である。

図 15 は、本発明の半導体パッケージの製造法の一例を説明する平面図である。

図 16 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 1 7 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 1 8 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 1 9 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 2 0 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 2 1 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 2 2 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 2 3 は、本発明の半導体パッケージの製造法の一例を説明する平面図である。

図 2 4 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

図 2 5 は、本発明の半導体パッケージの製造法の一例を説明する断面図である。

発明を実施するための最良の形態

図 1 により、本発明の第一の実施例について説明する。

厚さ 0.035 mm の電解銅箔 1 の片面に厚さ 0.001 mm のニッケル層（図 1 では省略）をめっきする。次に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN340）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて、硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以上の金めっきを 0.0003 mm 以上の厚さでめっきする。次に、めっきレジストを剥離し、配線 2 を形成する（図 1 a）。このようにして、配線 2 を形成した銅箔 1 に LSI チップ 3 を搭載する（図 1 b）。LSI チップの接着には、半導体用銀ペースト 4 を用いた。次に LSI 端子部と配線 2 とをワイヤボンド 100 により接続する（図 1 c）。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止 5 した（図 1 d）。その後、銅箔 1 のみをアルカリエッチャントで溶解除去し、ニッケルを露出させた。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して、配線部を露出させた（図 1 e）。続いて、ソルダレジスト 6 を塗布し、接続用端子部を露出するようにパターンを形成した。この配線露出部に、はんだボール 7 を配置し熔融させた（図 1 f）。このはんだボール 7 を介して外部の配線と接続する。

図 2 により、本発明の第二の実施例について説明する。

図 1 の場合と同様の方法で、配線 2 を有する銅箔 1 を作成した（図 2 a）。LSI チップ 3 を搭載する。LSI チップには、端子部に金バンプ 8 を形成し、この金バンプ 8 と配線

-13-

2の端子部とを加熱加圧して接続する(図2b)。次に、LSIチップ下部に液状エポキシ樹脂を充填し硬化させる(図2c)。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名:CL-7700)を用いて封止した(図2d)。その後、銅箔1のみをアルカリエッチャントで溶解除去し、ニッケルを露出させた。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して、配線部を露出させた(図2e)。続いて、ソルダレジスト6を塗布し、接続用端子部を露出するようにパターンを形成した。この配線露出部に、はんだボール7を配置し熔融させた(図2f)。このはんだボール7を介して外部の配線と接続する。

図3により、本発明の第三の実施例について説明する。

厚さ0.035mmの電解銅箔1の片面に厚さ0.001mmのニッケル層(図3では省略)をめっきする。次に、感光性ドライフィルムレジスト(日立化成工業(株)製、商品名:フォテックHN340)をラミネートし、配線パターンを露光、現像しめっきレジストを形成する。続いて、硫酸銅浴にて電解銅めっきを行い、第一の配線13を形成する。次にめっきレジストを剥離し、第一の配線13の表面を酸化処理、還元処理を行う。新たな銅箔と接着樹脂としてポリイミド系接着フィルム(日立化成工業(株)製、商品名:AS2210)12を用いて配線13が内側となるように積層接着する。(銅箔11に直径0.1mmの穴を通常の写真エッチング法により形成する。パネルめっき法により、穴内と銅箔表面全体を銅めっきする。)銅箔を写真エッチング法で第二の配線11を形成する。LSI搭載部の樹脂(ポリイミド系接着フィルム12)をエキシマレーザにより除去し端子部を露出させる。該端子部に、ニッケルめっきを0.003mm、純度99.9%以上の金めっきを0.0003mm以上の厚さでめっきする(図3a)。このようにして、2層

-14-

配線を形成した銅箔 1 に L S I チップを搭載する。L S I チップの接着には、半導体用銀ペーストを用いた（図 3 b）。次に L S I 端子部と配線 1 3 とをワイヤボンダ 1 0 0 により接続する（図 3 c）。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止 5 した。その後、銅箔 1 のみをアルカリエッチャントで溶解除去し、ニッケルを露出させた。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して、配線部を露出させた（図 3 e）。続いて、ソルダレジスト 6 を塗布し、接続用端子部を露出するようにパターンを形成した。該露出部には、はんだボール 7 を配置し溶融させた（図 3 f）。このはんだボール 7 を介して外部の配線と接続する。

図 4 により、本発明の第四の実施例について説明する。

厚さ 0.1 mm の S U S （ステンレス鋼）板 1 4 に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック H N 3 4 0）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて、硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以上の金めっきを 0.0003 mm 以上の厚さでめっきする。次に、めっきレジストを剥離し、配線 2 を形成する（図 4 a）。このようにして配線 2 を形成した S U S 板 1 4 に半導体チップ 1 0 3 を搭載する（図 4 b）。半導体チップの接着には半導体用銀ペースト 4 を用いた。次に半導体端子部と配線 2 とをワイヤボンダ 1 0 0 により接続する（図 4 c）。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止 5 した（図 4 d）。その後、S U S 板 1 4 を機械的に剥離除去し、配線部を露出させた（図 4 e）。続いてソルダレジスト 6 を塗布し、接続用端子部を露出するようにパターンを

形成した。この配線露出部にはんだボール7を配置し熔融させた（図4 f）。このはんだボール7を介して外部の配線と接続する。

図5により、本発明の第五の実施例について説明する。

厚さ0.035mmの電解銅箔1に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN340）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いてニッケルのパターンめっき15を行った後、硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを0.003mm、純度99.9%以上の金めっきを0.0003mm以上の厚さでめっきする。次に、めっきレジストを剥離し、配線2を形成する（図5 a）。このようにして配線2を形成した銅箔1に半導体チップ103を搭載する（図5 b）。半導体チップの接着には、半導体用銀ペースト4を用いた。次に半導体端子部と配線2とをワイヤボンド100により接続する（図5 c）。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止5した（図5 d）。その後、銅箔1をアルカリエッチャンで溶解除去し、ニッケルの配線部を露出させた（図5 e）。続いてソルダレジスト6を塗布し、接続用端子部を露出するようにパターンを形成した。この配線露出部にはんだボール7を配置し熔融させた（図5 f）。このはんだボール7を介して外部の配線と接続する。

図6により、本発明の第六の実施例について説明する。

厚さ0.035mmの電解銅箔1に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN340）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて純度99.9%以上の金めっきを0.0003mm、ニッケルめっきを0.003mm以上の厚さでめっきする。さらに、硫酸銅浴にて電解銅め

つきを行い、めっきレジストを剥離し、配線 2 を形成する（図 6 a）。このようにして配線 2 を形成した銅箔 1 の配線面にポリイミドフィルム 16 を接着し、レーザを用いて配線 2 の接続用端子部を露出させ（図 6 b）、銅箔 1 をエッチングで除去する（図 6 c）。また、ポリイミドの代わりに、感光性フィルムを用いることで、レーザを使用しないで接続用端子部を露出させることができる。続いて、ポリイミドフィルム 16 の配線パターン面に L S I チップ 3 を搭載する。L S I チップの接着には半導体用銀ペースト 4 を用いた。次に半導体端子部と配線 2 とをワイヤボンド 100 により接続する（図 6 d）。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：C L - 7 7 0 0）を用いて封止 5 する（図 6 e）。その後、接続用端子部にはんだボール 7 を配置し溶融させる（図 6 f）。このはんだボール 7 を介して外部の配線と接続する。

図 7 により、本発明の第七の実施例について説明する。

厚さ 0.035 mm の電解銅箔 1 の片面に厚さ 0.001 mm のニッケル層（図 7 では省略）をめっきする。次に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォデック H N 3 4 0）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以上の金めっきを 0.0003 mm 以上の厚さでめっきする。次にめっきレジストを剥離し、配線 2 を形成する（図 7 a）。このようにして配線 2 を形成した銅箔 1 に L S I チップ 3 を搭載する。L S I チップの接着には半導体用銀ペースト 4 を用いた。次に、半導体端子部と配線 2 とをワイヤボンド 100 により接続する（図 7 b）。このようにして形成したものをトランスファモールド金型に装填し半導体封止用エポキシ樹脂（日立化成工業（株）製、

-17-

商品名：CL-7700)を用いて封止5する(図7c)。その後、銅箔1のみをアルカリエッチャントで溶解除去し、ニッケルを露出させる。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して配線部を露出させる(図7d)。続いて、接続用端子部を開口させたポリイミドフィルム16を接着し(図7e)、この配線露出部にはんだボール7を配置し熔融させる(図7f)。このはんだボール7を介して外部の配線と接続する。

図8により、本発明の第八の実施例について説明する。

厚さ0.035mmの電解銅箔1に、感光性ドライフィルムレジスト(日立化成工業(株)製、商品名：フォテックHN340)をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて純度99.9%以上の金めっきを0.0003mm、ニッケルめっきを0.003mm以上の厚さでめっきする。さらに、硫酸銅浴にて電解銅めっきを行い、めっきレジストを剥離し配線2を形成する(図8a)。このようにして配線2を形成した銅箔1の配線面に液状封止樹脂17をスクリーン印刷により塗布し、配線2の接続用端子部を露出させるようにして絶縁層を形成する(図8b)。液状封止樹脂を硬化させた後、銅箔1をエッチングで除去する(図8c)。続いて、硬化させた液状封止樹脂3の配線パターン面にLSIチップ3を搭載する。LSIチップの接着には半導体用銀ペースト4を用いた。次に半導体端子部と配線2とをワイヤボンダ100により接続する(図8d)。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名：CL-7700)を用いて封止5する(図8e)。その後、配線2の接続用端子部にはんだボール7を配置し熔融させる(図8f)。このはんだボール7を介して外部の配線と接続する。

図9により、本発明の第九の実施例について説明する。

厚さ 0.035 mm の電解銅箔 1 の片面に厚さ 0.001 mm のニッケル層（図 9 では省略）をめっきする。次に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN340）をラミネートし、配線パターンを露光、現像し、めっきレジストを形成する。続いて硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以上の金めっきを 0.0003 mm 以上の厚さでめっきする。次にめっきレジストを剥離し、配線 2 を形成する（図 9 a）。このようにして配線 2 を形成した銅箔 1 に LSI チップ 3 を搭載する。LSI チップ 3 の接着には半導体用銀ペースト 4 を用いた。次に、半導体端子部と配線 2 とをワイヤボンダ 100 により接続する（図 9 b）。このようにして形成したものをトランスファモールド金型に装填し半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止 5 する（図 9 c）。その後、銅箔 1 のみをアルカリエッチャントで溶解除去し、ニッケルを露出させる。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して配線部を露出させる（図 9 d）。続いて、液状封止樹脂 17 をスクリーン印刷により塗布し、配線 2 の接続用端子部を露出させるようにして、液状封止樹脂 17 の絶縁層を形成する（図 9 e）。この配線 2 の接続用端子部にはんだボール 7 を配置し熔融させる（図 9 f）。このはんだボール 7 を介して外部の配線と接続する。

図 10 により、本発明の第十の実施例について説明する。

厚さ 0.035 mm の電解銅箔 1 の片面に厚さ 0.001 mm のニッケル層（図 10 では省略）をめっきする。次に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN340）をラミネートし、配線パターン及び位置合わせマークのめっきレジストを露光、現像により形成する。続いて、硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以

上の金めっきを0.0003mm以上の厚さでめっきする。次に、めっきレジストを剥離し、配線2及び位置合わせマーク18を形成した後(図10a)、位置合わせマーク18の部分だけをSUS板で挟みプレスすることで銅箔1の裏面に位置合わせマークを浮かび上がらせる(図10b)。このようにして配線2及び位置合わせマーク18を形成した銅箔1にLSIチップ3を搭載する(図10c)。LSIチップ3の接着には半導体用銀ペースト4を用いた。次に、半導体端子部と配線2とをワイヤボンディングにより接続する(図10d)。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名:CL-7700)を用いて封止5した(図10e)。銅箔裏側に再び感光性ドライフィルムをラミネートし、位置合わせマーク18を利用してエッチングパターン形成する。その後、銅箔1及びニッケル層をエッチングして、銅箔1によるバンプ7の形成及び配線部の露出を行う(図10f)。続いて、ソルダレジスト8を塗布し、バンプ7が露出するように絶縁層を形成した(図10g)。このバンプ7を介して外部の配線と接続する。

図11により、本発明の第十一の実施例について説明する。

厚さ0.035mmの電解銅箔1に、感光性ドライフィルムレジスト(日立化成工業(株)製、商品名:フォテックHN340)をラミネートし、複数組の配線パターンを露光、現像し、めっきレジストを形成する。続いて、純度99.9%以上の金めっきを0.0003mm、ニッケルめっきを0.003mm以上の厚さでめっきする。さらに、硫酸銅浴にて電解銅めっきを行い、レジストを剥離し、複数組の配線2を形成する(図11a)。このようにして、複数組の配線2を形成した銅箔1の配線面にポリイミドフィルム19を接着し、レーザを用いて配線2の接続端子部を露出させ(図11b)、銅箔1をエッチングで除去する(図11c)。以上のように、

1枚のポリイミドフィルム上に複数組の配線2を形成した後、LSIチップ3を搭載する。LSIチップの接着には、半導体用ダイボンディングテープ4'を用いた。次に半導体端子部と配線2とをワイヤボンダ100により接続する(図11d)。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名:CL-7700)を用いて各々封止5する(図11e)。その後、配線2の接続端子部にはんだボール7を配置し溶融させる(図11f)。このはんだボール7を介して外部の配線と接続する。最後にポリイミドフィルムで連結されたパッケージを、金型で打ち抜く(図11g)。

図12により、本発明の第十二の実施例について説明する。

厚さ0.07mmの接着剤付きポリイミドフィルム20を、金型で打ち抜き接続端子部となる部分を開口させる(図12a)。次に、厚さ0.035mmの銅箔21を接着後(図12b)、感光性ドライフィルムレジスト(日立化成工業(株)製、商品名:フォテックHN340)をラミネートし、複数組の配線パターンを露光、現像し、エッチングレジストを形成する。続いて銅箔をエッチングし、レジストを剥離し、複数組の配線2を形成する(図12c)。以上のように、1枚のポリイミドフィルム上に複数組の配線パターンを形成した後、LSIチップ3を搭載する。LSIチップ3の接着には、半導体用ダイボンディングテープ4'を用いた。次に半導体端子部と配線2とをワイヤボンダ100により接続する(図12d)。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名:CL-7700)を用いて各々封止5する(図12e)。その後、配線の接続端子部にはんだボール7を配置し溶融させる(図12f)。このはんだボール7を介して外部の配線と接続する。最後にポリイミドフィルムで連結されたパッケージを、金型で打ち抜く(図12g)。

図 1 3 ~ 1 5 により、本発明の第十三の実施例について説明する。

厚さ 0.035 mm の電解銅箔 1 の片面に厚さ 0.001 mm のニッケル層（図 1 3 では省略）をめっきする。感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN 3 4 0）をラミネートし、複数組の配線パターンのめっきレジストを露光、現像により形成する。続いて、硫酸銅浴にて電解銅めっきを行う。さらに、ニッケルめっきを 0.003 mm、純度 99.9% 以上の金めっきを 0.0003 mm 以上の厚さでめっきし、めっきレジストを剥離し、配線 2 を形成した（図 1 3 a）。次に、配線 2 を形成した銅箔 1 を単位個数に分けた後、ポリイミド接着フィルムを介して別に用意したステンレス製フレーム 2 2（厚さ；0.135 mm）にはりつけた（図 1 3 b）。フレームとしては、りん青銅等の銅合金、銅箔、ニッケル箔、ニッケル合金箔等が使用できる。接着の方法としては他に金属間の共晶を利用した接合、超音波を利用した接合等を用いることも可能である。また、図 1 4 に示したように銅箔 1 上の配線をあらかじめ検査し、配線良品 2 3 だけを撰択し、フレーム 2 2 にはりつけると良い。図 1 4 において、1 は電解銅箔、2 2 はフレーム、2 4 は配線不良品、2 5 は位置合わせ用穴である。また、この実施例では、切り分けた銅箔上には配線 1 個となるようにしたが、切り分けた銅箔上に複数組の配線があるようにしても良い。フレーム 2 2 と配線付き銅箔との張り合わせの位置関係として、例えば図 1 5（a）、（b）に示したものなど種々可能である。図 1 5 はフレーム 2 2 の平面図であり、2 6 はフレーム開口部、2 7 は配線付き銅箔の搭載位置、2 8 は箔固定用接着剤である。次に、LSI チップ 3 を搭載し、半導体端子部と配線 2 とをワイヤボンド 1 0 0 により接続する（図 1 3 c）。LSI チップの搭載には半導体用ダイボンディングテープ 4' を用いた。ここで、ボンディングテープ

-22-

4' の代わりにダイボンド用銀ペースト等を用いてもよい。また、半導体チップの実装には、通常のワイヤーボンディング接続を用いたが、フィリップチップ等、他の方法を用いてもよい。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて封止した（図13d）。その後、銅箔1のみをアルカリエッチャントで溶解除去し、ニッケルを露出させた。ニッケル層を銅の溶解性の少ないニッケル剥離液にて除去して、配線部を露出させた。続いて、ソルダレジスト6を塗布し、接続用端子部を露出するようにパターンを形成した。この配線露出部に、はんだボール7を配置し熔融させた（図13e）。この後で、切断機を用いて切断し、フレーム22の不要な切片101を除いて、個々の半導体パッケージに分割した（図13f）。このはんだボール7を介して外部の配線と接続する。この例では、板取りを上げて効率よく半導体パッケージを製造することができる。

図16により、本発明の第十四の実施例について説明する。

厚さ0.07mmの接着剤付きポリイミドフィルム29を、金型で打ち抜き接続端子部となる部分を開口させる。次に、厚さ0.035mmの銅箔を接着後、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN340）をラミネートし、複数組の配線パターンを露光、現像し、エッチングレジストを形成した。続いて銅箔をエッチングし、レジストを剥離し、複数組の配線2を形成する（図16a）。ここで、銅箔上にポリイミドを直接コーティングした材料（例えば、日立化成工業（株）製、商品名50001）を用いて、接続端子部および配線2を形成するようにしても良い。開口部の形成もドリル加工、エキシマレーザ等のレーザ加工、印刷等の方法を用いたり、ポリイミドに感光性を持たせた材料を使用し、露光・現像により形成しても良い。ポ

リイミドの代わりに封止樹脂等他の材料を使用しても良い。

以上のように、1枚のポリイミドフィルム上に複数組の配線パターンを形成した後、配線付きフィルムを単位個数に分けた、ポリイミド接着剤28を介して別に用意したステンレス製フレーム22（厚さ；0.135mm）にはりつけた（図16b）。次に、LSIチップ3を搭載し、半導体端子部と配線2とをワイヤボンド100により接続する（図16c）。LSIチップの搭載には半導体用ダイボンディングテープ4'を用いた。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名

：CL-7700）を用いて封止5した（図16d）。続いて最初に設けた接続端子部となるべき開口部にはんだボール7を配置し溶融させる（図16e）。このはんだボール7を介して外部の配線と接続する。最後にフレームで連結されたパッケージを金型で打ち抜き、個々のパッケージに分割した（図16f）。

図17により本発明の第十五の実施例について説明する。

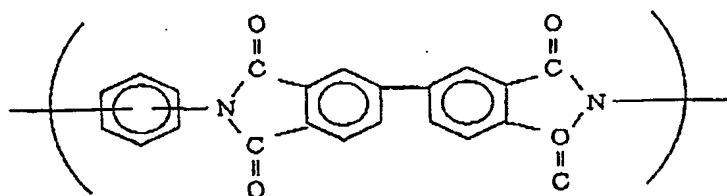
金属箔31上に絶縁基材32を直接形成した2層フレキシブル基材（図17a）の金属箔上に所定のレジスト像を形成し、公知のエッチング法により所望する複数組の配線パターン33を形成し、レジスト像を剥離する（図17b）。金属箔としては、電解銅箔や圧延銅箔あるいは銅合金箔などの単一箔の他、後工程で除去可能なキャリア箔上に銅薄層を有する複合金属箔なども適用可能である。具体的には、厚さ18 μ mの電解銅箔の片面に厚さ0.2 μ m程度のニッケル-リンめっき層を形成後、続けて厚さ5 μ m程度の銅薄層をめっきしたものなどが適用できる。この場合、銅薄層上にポリイミド層を形成した後、銅箔及びニッケル-リン層をエッチング除去することにより、銅薄層が露出する。すなわち、本願の発明においては銅薄層全てを露出させた後銅薄層を配線加工して

-24-

も良いし、キャリア箔（銅箔/ニッケル薄層）をリードフレーム構造体の一部として利用しても良い。

一方、絶縁基材としては、プロセス耐熱性などの観点からポリイミド材が一般的である。この場合、ポリイミドと銅箔の熱膨張係数が異なるとはんだリフロー工程において基材の反りが顕著になるため、ポリイミドとしては【化1】の繰り返し単位を有するポリイミドを70モル%以上含んだポリイミドを適用することが好ましい。

【化1】



次に、後工程で外部基板との接続部となる位置に銅箔に達する凹部34を設ける（図17c）。凹部の加工方法は特に限定するものではなく、エキシマレーザや炭酸ガスレーザ及びYAGレーザなどレーザ加工の他、ウェットエッチング法などが適用可能である。

次に、所定の部分（開孔部35）をパンチング加工等で打ち抜いた接着材36付きフレーム基材37を配線パターン面に接着させる（図17d）。この場合、フレーム基材は特に限定するものではなく、ポリイミドフィルムや銅箔などの金属箔の適用が可能である。ここで、仮に2層フレキシブル基材のポリイミド層厚さが25 μ mで、かつ、接着するフレーム基材がポリイミドフィルムの場合、フレーム全体としての剛直性を確保するためにはフィルム厚さとして50～70 μ m程度が必要になる。なお、フレーム基材層を形成する領域についても特に限定するものではなく、半導体チップを搭載する部分にフレーム基材層を設けることも可能である。具体的には、

チップ実装がワイヤボンディング方式の場合には、最小限ワイヤボンダ用端子部 38 が露出していれば他の領域全てにフレーム基材層を設けても良い。次に、半導体チップ 39 を搭載し、金ワイヤ 40 で半導体チップと配線パターン間を電氣的に接続させる（図 17 e）。一方、半導体チップ実装方式としてフェースダウン方式を採用する場合には、配線パターンの所定位置（半導体チップの外部接続用電極位置に対応）に金属パンプ等を設け、金属パンプを介して半導体チップと波線パターンとを電氣的に接続させても良い。次に、トランスファーマールド用の金型にセットし、樹脂封止材 41 で封止する（図 17 f）。この場合、樹脂封止材は特に限定するものではなく、例えば、直径 10～20 μ m 程度のシリカを 5～80wt% の範囲で含有したエポキシ系樹脂などが適用できる。次に、外部基板との接続部 42 を形成する。接続部 42 の形成方法としては、図 17 c の工程後にあらかじめ電解めっき法によりポリイミドフィルム厚さ以上のパンプを形成しておく方法や樹脂封止後にはんだ印刷法によりはんだパンプを形成する方法などが適用可能である。最後に、フレームからパッケージ部を切断して所望するパッケージが得られる（図 17 g）。

図 17 の第十五の実施例を更に具体的に説明する。

具体例 1

厚さ $12\mu\text{m}$ の電解銅箔を片面に有する2層フレキシブル基材（日立化成工業（株）製、商品名：MCF 5000I）の銅箔面上にドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHK815）をラミネートし、露光、現像により所望するレジストパターンを得た。次に、塩化第二鉄溶液で銅箔をエッチング加工後、レジストパターンを水酸化カリウム溶液で剥離することにより所定の配線パターンを得た。次に、エキシマレーザ加工機（住友重機械工業（株）製、装置名：INDEX200）を用いて絶縁基材側から配線パターン裏面に達する凹部（直径 $300\mu\text{m}$ ）を所定の位置に所定の数だけ形成した。エキシマレーザ加工条件は、エネルギー密度 $250\text{mJ}/\text{cm}^2$ 、縮小率3.0、発振周波数 200Hz 、照射パルス数300パルスである。次に $50\mu\text{m}$ 厚さのポリイミドフィルム（宇部興産製、商品名：UPILEX S）の片面に厚さ $10\mu\text{m}$ のポリイミド系接着材（日立化成工業（株）製、商品名：AS 2250）を有する接着シートを作製し、後工程でのワイヤボンド端子部に相当する領域を含む所定領域をパンチ加工により除去し、接着材を介してポリイミドフィルムと配線パターン付き2層フレキ基材とを加熱圧着させた。圧着条件は、圧力 $20\text{kgf}/\text{cm}^2$ 、温度 180°C 、加熱加圧時間60分である。次に、無電解ニッケル、金めっき法によりワイヤボンド用端子部にニッケル/金めっきを施した。めっき厚さは、それぞれ、 $3\mu\text{m}$ 、 $0.3\mu\text{m}$ である。次に、半導体チップ搭載用ダイボンド材（日立化成工業（株）製、商品名：HM-1）を用いて半導体チップを搭載した。搭載条件は、プレス圧力 $5\text{kgf}/\text{cm}^2$ 、接着温度 380°C 及び圧着時間5秒である。次に、ワイヤボンディングにより半導体チップの外部電極部と配線パターンを電氣的に接続した。その後、リードフレーム状に金型加工し、トランスファーモールド用金型にセットし、半導体封止用エポキシ樹脂（日立化成工業（株）製、CL-7700）を用いて 185°C 、90秒で封止した。続く

て、前述の凹部に所定量のはんだを印刷塗布し、赤外線リフロー炉によりはんだを熔融させて外部接続用バンプを形成した。最後に、パッケージ部を金型で打ち抜き、所望するパッケージを得た。

図 18 により本発明の第十六の実施例について説明する。

金属箔 31 上に絶縁基材 32 を直接形成した 2 層フレキシブル基材 (図 18 a) の金属箔上に所定のレジスト像を形成し、公知のエッチング法により所望する複数組の配線パターン 3 を形成し、レジスト像を剥離する (図 18 b)。金属箔としては、電解銅箔や圧延銅箔あるいは銅合金箔などの単一箔の他、後工程で除去可能なキャリア箔上に銅薄層を有する複合金属箔なども適用可能である。具体的には、厚さ $18\mu\text{m}$ の電解銅箔の片面に厚さ $0.2\mu\text{m}$ 程度のニッケル-リンめっき層を形成後、続けて厚さ $5\mu\text{m}$ 程度の銅薄層をめっきしたものなどが適用できる。この場合、銅薄層上にポリイミド層を形成した後、銅箔及びニッケル-リン層をエッチング除去することにより、銅薄層が露出する。すなわち、本願の発明においては銅薄層全てを露出させた後銅薄層を配線加工しても良いし、キャリア箔 (銅箔/ニッケル薄層) をリードフレーム構造体の一部として利用しても良い。一方、絶縁基材としては、プロセス耐熱性などの観点からポリイミド材が一般的である。この場合、ポリイミドと銅箔の熱膨張係数が異なるとはんだリフロー工程において基材の反りが顕著になるため、ポリイミドとしては【化 1】の繰返し単位を有するポリイミドを 70 モル % 以上含んだポリイミドを適用することが好ましい。

次に、後工程で外部基板との接続部となる位置に銅箔に達する凹部 34 を設ける (図 18 c)。凹部の加工方法は特に限定するものではなく、エキシマレーザや炭酸ガスレーザ及び YAG レーザなどレーザ加工の他、ウェットエッチング法などが適用可能である。

次に、第2絶縁基体として所定の部分（開孔部5）をパンチング加工等で打ち抜いた接着材36付きフレーム基材37を配線パターン面に接着させる（図18d）。ここで、仮に2層フレキシブル基材のポリイミド層厚さが $25\mu\text{m}$ であれば、後工程でフレームに固着することを考慮すれば接着するポリイミドフィルムの厚さとして $50\sim 70\mu\text{m}$ 程度が必要になる。なお、ポリイミドを接着する領域についても特に限定するものではなく、半導体チップを搭載する部分に設けることにより、CSPのように半導体チップ下部に外部接続端子を形成することも可能である。具体的には、チップ実装がワイヤボンディング方式の場合には、最小限ワイヤボンド用端子部38が露出していれば他の領域全てにポリイミドフィルムを接着しても良い。このようにして得られた絶縁基板を、個々の配線パターンに分離し（図18e）別に用意した例えばSU Sなどのフレーム43に固着する（図18f）。次に、半導体チップ39を搭載し、金ワイヤ40で半導体チップと配線パターン間を電氣的に接続させる（図18g）。一方、半導体チップ実装方式としてフェースダウン方式を採用する場合には、配線パターンの所定位置（半導体チップの外部接続用電極位置に対応）に金属パンプ等を設け、金属パンプを介して半導体チップと波線パターンとを電氣的に接続させても良い。次に、トランスファーマールド用の金型にセットし、樹脂封止材41で封止する（図18h）。この場合、樹脂封止材は特に限定するものではなく、例えば、直径 $10\sim 20\mu\text{m}$ 程度のシリカを $5\sim 80\text{wt}\%$ の範囲で含有したエポキシ系樹脂などが適用できる。次に、外部基板との接続部12を形成する。接続部12の形成方法としては、図18cの工程後にあらかじめ電解めっき法によりポリイミドフィルム厚さ以上のパンプを形成しておく方法や樹脂封止後にはんだ印刷法によりはんだパンプを形成する方法などが適用可能である。最後に、フレームからパッケージ部を切断して所望するパッケージが

得られる（図18i）。

図18の第十六の実施例を更に具体的に説明する。

具体例2

厚さ $12\mu\text{m}$ の電解銅箔を片面に有する2層フレキシブル基材（日立化成工業（株）製、商品名：MCF 5000I）の銅箔面上にドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHK815）をラミネートし、露光、現像により所望するレジストパターンを得た。次に、塩化第二鉄溶液で銅箔をエッチング加工後、レジストパターンを水酸化カリウム溶液で剥離することにより所定の配線パターンを得た。次に、エキシマレーザ加工機（住友重機械工業（株）製、装置名：INDEX200）を用いて絶縁基材側から配線パターン裏面に達する凹部（直径 $300\mu\text{m}$ ）を所定の位置に所定の数だけ形成した。エキシマレーザ加工条件は、エネルギー密度 $250\text{mJ}/\text{cm}^2$ 、縮小率3.0、発振周波数 200Hz 、照射パルス数300パルスである。次に $50\mu\text{m}$ 厚さのポリイミドフィルム（宇部興産製、商品名：UPILEX S）の片面に厚さ $10\mu\text{m}$ のポリイミド系接着材（日立化成工業（株）製、商品名：AS 2250）を有する接着シートを作製し、後工程でのワイヤボンド端子部に相当する領域を含む所定領域をパンチ加工により除去し、接着材を介してポリイミドフィルムと配線パターン付き2層フレキ基材とを加熱圧着させた。圧着条件は、圧力 $20\text{kgf}/\text{cm}^2$ 、温度 180°C 、加熱加圧時間60分である。次に、無電解ニッケル、金めっき法によりワイヤボンド用端子部にニッケル/金めっきを施した。めっき厚さは、それぞれ、 $3\mu\text{m}$ 、 $0.3\mu\text{m}$ である。このようにして得られた基板を、個々の配線パターンに分離し、別に用意したSUSフレームに固着した。次に、半導体チップ搭載用ダイボンド材（日立化成工業（株）製、商品名：HM-1）を用いて半導体チップを搭載した。搭載条件は、プレス圧力 $5\text{kgf}/\text{cm}^2$ 、接着温度 380°C 及び圧着時間5秒である。次に、ワイヤボンディングにより半導体チップの外部電極部と

-30-

配線パターンを電氣的に接続した。その後、リードフレーム状に金型加工し、トランスファーマールド用金型にセットし、半導体封止用エポキシ樹脂（日立化成工業（株）製、CL-7700）を用いて185℃、90秒で封止した。続いて、前述の凹部に所定量のはんだを印刷塗布し、赤外線リフロー炉によりはんだを熔融させて外部接続用バンプを形成した。最後に、パッケージ部を金型で打ち抜き、所望するパッケージを得た。

図19、20、21により本発明の第十七の実施例について説明する。

支持体51上に複数組の所定の配線パターン52を形成する（図19a）。支持体としては、電解銅箔などの金属箔の他にポリイミドフィルムなどの絶縁基材を適用できる。絶縁基材を適用する場合には2通りの方法がある。第1の方法は、絶縁基材の所定部分に配線パターンに達する非貫通凹部を形成し、配線パターンの露出部に外部接続端子を形成する方法である。非貫通凹部はエキシマレーザや炭酸ガスレーザなどを適用して形成できる。第2の方法は、接着材付き絶縁基材にドリル加工したものを予め形成しておき、電解銅箔などと積層させた後、銅箔をエッチング加工する方法である。

一方、金属箔を適用する場合には、まずフォトレジストなどによりレジストパターンを形成後、金属箔をカソードとして電気めっき法で配線パターンを形成する。この場合、通常の電解銅箔や電解銅箔上に銅箔と化学エッチング条件の異なる金属（ニッケル、金、はんだ等）の薄層を設けたものなどが適用できる。また、配線パターンとしては銅が好ましいが、前述のように電解銅箔を支持体として適用する場合には、銅箔とエッチング条件の異なる金属自体を配線パターンとして適用したり、あるいは、銅箔エッチング時のバリヤ層となるパターン薄層をパターン銅めっき前に形成したりする必要がある。

次に、ダイボンド材53で半導体素子54を搭載後、半導

-31-

体素子端子と配線パターンとを電氣的に接続し（図 19 b）、トランスファーマールド法により複数組の半導体素子と配線パターンとを一括して樹脂封止材 56 で封止する（図 19 c）。樹脂封止材は特に限定するものではなく、例えば、直径 10 ~ 20 μ m 程度のシリカを 5 ~ 80 wt% の範囲で含有したエポキシ樹脂のが適用できる。なお、本発明は半導体素子の実装方式がフェースアップ方式の場合に限定されるものではなく、例えば、フェースダウン方式の場合にも適用可能である。具体的には、配線パターン 52 上の所定位置にフェースダウンボンド用のバンプをめっき法などにより形成した後、半導体素子の外部接続部とバンプとを電氣的に接続させれば良い。更に、図 20 や図 21 に示したように後工程でパッケージを分割しやすいようにしておくことは有効である。このうち、図 20 は複数個ある各パッケージ部分の境界部分に溝 59 を形成するものである。溝の幅や深さ等は、トランスファーマールド用金型の加工寸法により制御可能である。また、図 21 は、あらかじめ各パッケージ部に対応した部分をくり抜いた格子状中間板 60 を使用してトランスファーマールドを行なうものである。次に、支持体が金属箔の場合、化学エッチング法などにより支持体を除去し、所定の位置に外部接続用端子 57 を形成する（図 19 d）。支持体として絶縁基材を適用する場合には、前述したようにレーザ等により所定部分の絶縁基材のみを選択的に除去すれば良い。最後に、一括封止した基板を単位部分 58 に切断分離する。なお、配線パターン露出面に配線パターンを保護する目的でソルダーレジスト層を形成しても良い。

第十七の実施例を具体的に説明する。

具体例 3

厚さ 35 μ m、外形 250 mm 角の電解銅箔のシャイニー面に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN640）をラミネートし、露光、現像によ

-32-

り所望するレジストパターン（最少ライン/スペース=50 μ m/50 μ m）を形成した。次に、電気めっき法により、厚さ0.2 μ mのニッケル、30 μ mの銅、5 μ mのニッケル及び1 μ mのソフト金で構成される同一の配線パターンを300個（4ブロック/250mm角、75個/ブロック）形成した。次に、液温35℃、濃度3wt%の水酸化カリウム溶液を用いてレジストパターンを剥離し、85℃で15分間乾燥後、各ブロックに切断後、半導体素子実装用ダイボンド材（日立化成工業（株）製、商品名：HM-1）を用いて半導体素子を接着した。接着条件は、プレス圧力5kg/cm²、温度380℃及び圧着時間5秒である。次に、半導体素子の外部端子と金めっき端子部（第2の接続部）をワイヤボンドにより電氣的に接続した後、トランスファーモールド金型にセットし、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて185℃、90秒で75個（1ブロックに相当）の配線パターンを一括封止することにより、各配線パターンを封止材中に転写した。次に、アルカリエッチャント（メルテックス（株）製、商品名：Aプロセス）を用いて電解銅箔の所望する部分をエッチング除去した。エッチング液の温度は40℃、スプレー圧力は1.2kgf/cm²である。次に、印刷法により外部接続端子部にはんだパターンを形成し、赤外線リフロー炉によりはんだを熔融させて外部接続用バンプを形成した。最後に、ダイヤモンドカッターにより、各パッケージ部に分離して所望するパッケージを得た。

具体例 4

厚さ35 μ m、外形250mm角の電解銅箔のシャイニー面に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN640）をラミネートし、露光、現像により所望するレジストパターン（最少ライン/スペース=50 μ m/50 μ m）を形成した。次に、電気めっき法により、厚さ0.2 μ mのニッケル、30 μ mの銅、5 μ mのニッケル及び1 μ mの

-33-

ソフト金で構成される同一の配線パターンを300個（4ブロック/250mm角、75個/ブロック）形成した。次に、液温35℃、濃度3wt%の水酸化カリウム溶液を用いてレジストパターンを剥離し、85℃で15分間乾燥後、各ブロックに切断後、半導体素子実装用ダイボンダ材（日立化成工業（株）製、商品名：HM-1）を用いて半導体素子を接着した。接着条件は、プレス圧力5kg/cm²、温度380℃及び圧着時間5秒である。次に、半導体素子の外部端子と金めっき端子部（第2の接続部）をワイヤボンダにより電氣的に接続した。次に、パッケージ領域に相当する部分（15mm角）をくり抜いた格子状ステンレス板を中間板としてトランスファーマールド金型にセットし、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて185℃、90秒で75個（1ブロックに相当）の配線パターンを一括封止することにより、各配線パターンを封止材中に転写した。中間板の格子部分は、各パッケージが中間板から分離しやすいように12°のテーパがついている。次に、アルカリエッチャント（メルテックス（株）製、商品名：Aプロセス）を用いて電解銅箔の所望部分をエッチング除去した。各パッケージ部は、格子状中間板で保持されている。エッチング液の温度は40℃、スプレー圧力は1.2kgf/cm²である。最後に、印刷法により外部接続端子部にはんだパターンを形成し、赤外線リフロー炉によりはんだを熔融させて外部接続用バンプを形成し、中間板から各パッケージ部に分離して所望するパッケージを得た。

図22により本発明の第十八の実施例について説明する。

導電性の仮支持体61（図22a）上に複数組の所定のレジストパターン62（図22b）を形成する。次に、電気めっき法により仮支持体の露出部に配線パターン63を形成する。この場合、仮支持体は特に限定されるものではなく、例えば、通常の電解銅箔や電解銅箔上に銅箔と化学エッチング条件の異なる金属（ニッケル、金、はんだ等）の薄層を設け

たものなどが適用できる。また、配線パターンとしては銅が好ましいが、前述のように電解銅箔を仮支持体として適用する場合には、銅箔とエッチング条件の異なる金属自体を配線パターンとして適用したり、あるいは、銅箔エッチング時のバリヤ層となるパターン薄層をパターン銅めっき前に形成したりする必要がある。仮支持体の厚さは、後工程でのハンドリング性や半導体素子実装時の寸法安定性などの点で支障がなければ特に限定されることはない。次に、仮支持体をカソードとして金ワイヤボンダ用のめっき（通常は、ニッケル/金）64を施した後、レジストパターンを除去する（図22c）。なお、本発明は半導体素子の実装方式がフェースアップ方式の場合に限定されるものではなく、例えば、フェースダウン方式の場合にも適用可能である。具体的には、配線パターン63上の所定位置にフェースダウンボンダ用のバンプをめっき法などにより形成した後、半導体素子の外部接続部とバンプとを電氣的に接続させれば良い。

次に、半導体素子65をダイボンダ材66などで接着し、半導体素子の外部接続端子と配線パターンとを電氣的に接続する（図22d）。次に、トランスファーマールド用金型にセットし、樹脂封止材68で封止する（図22e）。この場合、樹脂封止材は特に限定するものではなく、例えば、直径10～20 μ m程度のシリカを5～80wt%の範囲で含有したエポキシ樹脂が適用できる。

次に、外部接続端子に相当する箇所在所定の金属パターン69を形成する（図22f）。この場合、適用する金属としては、導電性仮支持体をエッチング除去する条件下でエッチングされないものであれば良く、例えば、はんだ、金、ニッケル/金などが適用可能である。また、金属パターンの形成法としては、公知の電気めっき法やはんだ印刷法などが適用できる。更に、金属パターン69をはんだパターンを印刷法で形成する場合、リフローすることによりハンダバンプ70

を形成することができる。この場合、パターン 69 の厚さを調節することにより、リフロー後のはんだバンプ 70 の高さを制御することができる。次に、金属パターンをエッチングレジストとして仮支持体の所定部分を除去し、配線パターンを露出させる。

最後に、金型加工、あるいは、ダイシング加工など適用して各パッケージ 71 を分割する（図 22 g）。なお、露出した配線パターンがニッケルなどの耐腐食性金属で保護されていない場合には、外部接続端子部以外の領域を公知のソルダレジストなどで被覆しても良い。また、はんだを金属パターンとして適用する場合、リフロー工程は特に限定するものではなく、各パッケージに分割する前でも後でも良いし、あるいは、外部配線基板上に各パッケージを実装する際に行なっても良い。

第十八の実施例を具体的に説明する。

具体例 5

厚さ $70\mu\text{m}$ の電解銅箔のシャイニー面に、感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテック HN640）をラミネートし、露光、現像により所望するレジストパターン（最少ライン/スペース = $50\mu\text{m}/50\mu\text{m}$ ）を形成した。次に、電気めっき法により、厚さ $0.2\mu\text{m}$ のニッケル、 $30\mu\text{m}$ の銅、 $5\mu\text{m}$ のニッケル及び $1\mu\text{m}$ のソフト金で構成される配線パターンを形成した。次に、液温 35°C 、濃度 3wt% の水酸化カリウム溶液を用いてレジストパターンを剥離し、 85°C で 15 分間乾燥後、半導体素子実装用ダイボンダ材（日立化成工業（株）製、商品名：HM-1）を用いて半導体素子を接着した。接着条件は、プレス圧力 $5\text{kg}/\text{cm}^2$ 、温度 380°C 及び圧着時間 5 秒である。次に、半導体素子の外部端子と金めっき端子部（第 2 の接続部）をワイヤボンダにより電氣的に接続した後、トランスファーマールド金型にセットし、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-770

0) を用いて185℃、90秒で封止することにより、配線パターンを封止材中に転写した。次に、電解銅箔上に感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN340）をラミネートし、露光、現像により所望するレジストパターンを形成後、電気めっき法により厚さ40 μ mのはんだパッド（直径0.3mm ϕ 、配置ピッチ1.0mm）を形成した。次に、ドライフィルムレジストを剥離した後、アルカリエッチャント（メルテックス（株）製、商品名：A プロセス）を用いて電解銅箔の所望する部分をエッチング除去した。エッチング液の温度は40℃、スプレー圧力は1.2kgf/cm²である。最後に、赤外線リフロー炉によりはんだを溶融させて外部接続用パンプを形成した。

図23、24、25により本発明の第十九の実施例を説明する。

半導体実装用フレームの構成について図23を用いて説明する。89は半導体実装用基板であり絶縁基材と配線によって構成される。基板部と連結部90を介して、複数個連結されている。連結部90には、基準位置用ピン穴91が形成される。ピン穴91の代わりに画像認識で用いられる認識マーク等でも構わない。後工程では、これらの基準位置をもとに位置が決められる。特に半導体を樹脂でモールドする際はキャピティ内のピンをピン穴91にさして位置合わせを行うことなどが行われる。

更に図24及び25を用いて説明する。導電性仮基板である厚さ約0.070mmの電解銅箔81の片面に厚さ0.001mmのニッケル層（図24、25では省略）を電解めっきで形成した。次に感光性ドライフィルムレジスト（日立化成工業（株）製、商品名：フォテックHN340）をラミネートし、露光、現像により複数組の配線パターンのめっきレジストを形成する。この時の露光量は70mJ/cm²である。さらに、公知の硫酸銅浴にて電解銅めっきを行い、レジストを剥

離し、複数組の配線 8 2 を形成する（図 2 4 a、図 2 5 a）。ここで、図 2 5 a に示したように連結部もにめっき銅 8 2' を形成することも考えられ、これにより出来上がりのフレームの剛性をさらに高めることも可能である。図 2 4 a、図 2 5 a に示した構成は、銅／ニッケル薄層／銅の 3 層からなる基材をあらかじめ用意し、片方の銅箔を通常のエッチング工程で配線形成しても得られる。また、ここで得られた銅箔 8 1／ニッケル薄層（図示せず）／銅配線 8 2（及び 8 2'）の構成を銅箔／ニッケル配線、ニッケル箔／銅配線等、ニッケル薄層のない 2 層構造にしてもよい。すなわち、金属種の撰択は本実施例の種類に限られることはないが、後の工程で仮基板の一部をエッチング除去（図 2 4 c、図 2 5 c）したときに、配線が撰択的に残るようにできることが好適な撰択基準となる。また、導電性仮基板はフレームの連結部の構成材となるため厚いほうが好ましいが、後でその一部をエッチング除去する工程があるため、適当な厚さを撰択する必要がある。導電性仮基板の厚みとしては、材質にもよるが、例えば銅箔を用いる場合、約 0.03～0.3 mm 程度が好ましい。次に、複数組の配線 8 2 を形成した銅箔 8 1 の配線面にポリイミド接着剤 8 3 を接着した。ここで、ポリイミド接着剤 8 3 は、この材料に限られることなく、例えば、エポキシ系接着フィルム、ポリイミドフィルムに接着剤を塗布したフィルム等も利用可能である。次に、エキシマレーザを用いて外部接続端子用穴 8 4 を形成した（図 2 4 b、図 2 5 b）。後工程における工程簡略化のためには半導体を実装する前に接続端子を設けておくことが好適である。また、この穴 8 4 の形成法として他に、あらかじめドリルやパンチ加工でフィルムに外部接続端子用穴 8 4 を形成しておき、このフィルムを接着する方法を用いてもかまわない。さらにここで、この穴 8 4 に接続端子として用いる半田等の金属（図 2 4 f、図 2 5 f の 8 8 に相当）を充填させておいてもかまわないが、

後の半導体実装工程、樹脂封止工程では、金属突起が障害となることもあり、後の工程で形成する方が好ましい。半導体素子実装基板部の外部接続端子用穴（または端子）は半導体素子搭載反対面にアレイ状に配置されるようにするのが好ましい。

次に、配線パターンが形成されている部分の仮基板である電解銅箔の一部をエッチング除去した。このエッチング液として、この実施例の構成の場合、ニッケルに比べて銅の溶解速度が著しく高いエッチング液、エッチング条件を撰択するのがよい。この実施例では、エッチング液としてアルカリエッチャント（メルテックス（株）製、商品名：A プロセス）が、エッチング条件としては例えば液温度を40℃、スプレー圧力を1.2kgf/cm²とした。ここで示した液の種類、条件は一例にすぎない。この工程によって基板部分のニッケル薄層が露出される。このニッケル薄層だけをエッチングする際には、銅よりニッケルの溶解速度が著しく高いエッチング液、エッチング条件を撰択するのがよい。この実施例では、ニッケルエッチャント（メルテックス（株）製、商品名：メルストリップ N950）で選択的にエッチング除去した。エッチング液の温度を40℃、スプレー圧力を1.2kgf/cm²とした。ここで示した液の種類、条件も一例にすぎない。このような工程を経て、連結部の仮基板が残され、剛性のある半導体実装用フレームが得られる（図24c、図25c）。この実施例ではこのフレームの銅配線端子部分には無電解ニッケル—金めっきが施される（図では省略）。これは、後工程でチップをワイヤーボンディングするために必要であり、このような表面処理は必要に応じて施せばよい。

さらに半導体チップ85を搭載する。半導体チップの接着には、半導体用ダイボンディングテープ86（例えば、日立化成工業（株）製、商品名：HM-1）を用いた。ここで、チップの下に配線がない場合には、ダイボンド用銀ペーストを用

いて接着してもよい。次に半導体端子部と配線とをワイヤボンディングにより接続する（図 24 d、図 25 d）。半導体端子との接続は、他の方法、例えば、フェイスダウンによるフィリップチップ接続や異方導電性接着剤による接着でもよい。このようにして形成したものをトランスファモールド金型に装填し、半導体封止用エポキシ樹脂（日立化成工業（株）製、商品名：CL-7700）を用いて各々封止する（図 24 e、図 25 e）。その後、配線 82 の接続端子部に設けた接続用穴にはんだボール 88 を配置し熔融させて形成する（図 24 f、図 25 f）。このはんだボール 88 はいわゆる外部接続端子となる。連結部 102 によってつながっている複数個の半導体装置を金型で打ち抜いて個々の半導体装置が得られる（図 24 g、図 25 g）。

この実施例では、半導体実装用フレーム及び半導体装置製造法により、ポリイミドテープ等フィルム基板を用いた BGA、CSP 等の半導体装置製造において、十分な剛性を備えたフレームを得ることができ、これを利用することによって半導体装置を精度良く効率良く作製可能になる。

本発明により、半導体チップの高集積度化に対応することができる半導体パッケージを生産性良く、かつ安定的に製造することができる。

-40-

請求の範囲

1.

- 1 A) 導電性仮支持体の片面に配線を形成する工程、
 - 1 B) 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
 - 1 C) 半導体素子を樹脂封止する工程、
 - 1 D) 導電性仮支持体を除去し配線を露出する工程、
 - 1 E) 露出された配線の外部接続端子が形成される箇所以外に絶縁層を形成する工程、
 - 1 F) 配線の絶縁層が形成されていない箇所に外部接続端子を形成する工程
- を含むことを特徴とする半導体パッケージの製造法。

2.

- 2 A) 導電性仮支持体の片面に配線を形成する工程、
 - 2 B) 配線が形成された導電性仮支持体の配線が形成された面に絶縁性支持体を形成する工程、
 - 2 C) 導電性仮支持体を除去し配線を絶縁性支持体に転写する工程、
 - 2 D) 配線の外部接続端子が形成される箇所の絶縁性支持体を除去し外部接続端子用透孔を設ける工程、
 - 2 E) 配線が転写された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
 - 2 F) 半導体素子を樹脂封止する工程、
 - 2 G) 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程
- を含むことを特徴とする半導体パッケージの製造法。

3.

- 3 A) 導電性仮支持体の片面に配線を形成する工程、
- 3 B) 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、

-41-

- 3 C) 半導体素子を樹脂封止する工程、
- 3 D) 配線の外部接続端子が形成される箇所以外の導電性仮支持体を除去し導電性仮支持体よりなる外部接続端子を形成する工程、
- 3 E) 外部接続端子の箇所以外に絶縁層を形成する工程、を含むことを特徴とする半導体パッケージの製造法。

4 .

- 4 A) 導電性仮支持体の片面に配線を形成する工程、
- 4 B) 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 4 C) 半導体素子を樹脂封止する工程、
- 4 D) 導電性仮支持体の半導体素子搭載面と反対側の配線の外部接続端子が形成される箇所に、導電性仮支持体と除去条件が異なる金属パターンを形成する工程、
- 4 E) 金属パターンが形成された箇所以外の導電性仮支持体を除去する工程を含むことを特徴とする半導体パッケージの製造法。

5 .

- 5 A) 絶縁性支持体の片面に複数組の配線を形成する工程、
- 5 B) 配線の外部接続端子となる箇所の絶縁性支持体を除去し外部接続端子用透孔を設ける工程
- 5 C) 複数組の配線が形成された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
- 5 D) 半導体素子を樹脂封止する工程、
- 5 E) 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程、
- 5 F) 個々の半導体パッケージに分離する工程を含むことを特徴とする半導体パッケージの製造法。

6 .

-42-

6 A) 導電性仮支持体の片面に複数組の配線を形成する工程、
6 B) 導電性仮支持体に形成された複数組の配線を所定の単位個数になるように導電性仮支持体を切断分離し、配線が形成された分離導電性仮支持体をフレームに固着する工程、
6 C) 配線が形成された導電性仮支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
6 D) 半導体素子を樹脂封止する工程、
6 E) 導電性仮支持体を除去し配線を露出する工程、
6 F) 露出された配線の外部接続端子が形成される箇所以外に絶縁層を形成する工程、
6 G) 配線の絶縁層が形成されていない箇所に外部接続端子を形成する工程
6 H) 個々の半導体パッケージに分離する工程
を含むことを特徴とする半導体パッケージの製造法。

7.

7 A) 絶縁性支持体の片面に複数組の配線を形成する工程、
7 B) 配線の外部接続端子となる箇所の絶縁性支持体を除去し外部接続端子用透孔を設ける工程
7 C) 絶縁性支持体に形成された複数組の配線を所定の単位個数になるように絶縁性支持体を切断分離し、配線が形成された分離絶縁性支持体をフレームに固着する工程、
7 D) 配線が形成された絶縁性支持体に半導体素子を搭載し、半導体素子端子と配線を導通する工程、
7 E) 半導体素子を樹脂封止する工程、
7 F) 外部接続端子用透孔に配線と導通する外部接続端子を形成する工程、
7 G) 個々の半導体パッケージに分離する工程
を含むことを特徴とする半導体パッケージの製造法。

8.

1 層の配線においてその配線の片面が半導体素子と接続す

-43-

る第 1 の接続機能を持ち、その配線の反対側が外部の配線と接続する第 2 の接続機能をもつように構成された配線を備えた半導体パッケージの製造法であって、下記 8 A、8 B、8 C、8 D の工程を含むことを特徴とする半導体パッケージの製造法。

8 A) 耐熱性を有する金属箔付き絶縁基材の金属箔を複数組の配線パターンに加工する工程。

8 B) 後工程で第 2 の接続機能部となる位置に、絶縁基材側から配線パターンに達する凹部を設ける工程。

8 C) 配線パターン面及び配線パターンと隣接する絶縁基材面上の所望する位置に、所定の部分を開孔させたフレーム基材を貼り合わせる工程。

8 D) 半導体素子を搭載し半導体素子端子と配線を導通し半導体素子を樹脂封止する工程。

9 .

1 層の配線においてその配線の片面が半導体素子と接続する第 1 の接続機能を持ち、その配線の反対側が外部の配線と接続する第 2 の接続機能をもつように構成された配線を備えた半導体パッケージの製造法であって、下記 9 A、9 B、9 C、9 D の工程を含むことを特徴とする半導体パッケージの製造法。

9 A) 耐熱性を有する金属箔付き絶縁基材の金属箔を複数組の配線パターンに加工する工程。

9 B) 後工程で第 2 の接続機能部となる位置に、絶縁基材側から配線パターンに達する凹部を設ける工程。

9 C) 配線パターン面及び配線パターンと隣接する絶縁基材面上の所望する位置に、所定の部分を開孔させた第 2 絶縁基材を貼り合わせ絶縁支持体を構成する工程。

9 D) 絶縁支持体に形成された複数組の配線を所定の単位個数になるように絶縁支持体を切断分離し、配線が形成された

-44-

分離絶縁支持体をフレームに固着する工程。

9 E) 半導体素子を搭載し半導体素子端子と配線を導通し半導体素子樹脂封止する工程。

1 0 .

1 0 A) 支持体の片面に複数組の配線を形成する工程、

1 0 B) 配線が形成された支持体に複数個の半導体素子を搭載し、半導体素子端子と配線とを導通させる工程、

1 0 C) 導通された複数組の半導体素子と配線とを一括して樹脂封止する工程、

1 0 D) 支持体の所望する部分を除去して配線の所定部分を露出させ、露出した配線と電氣的に接続した外部接続端子を形成する工程、

1 0 E) 個々の半導体パッケージに分離する工程

を含むことを特徴とする半導体パッケージの製造法。

1 1 .

半導体素子を樹脂封止した後、封止樹脂硬化物を加熱処理する請求項 1 ～ 1 0 各項記載の半導体パッケージの製造法。

1 2 .

請求項 1 ～ 1 1 各項記載の方法で製造された半導体パッケージ。

1 3 .

複数個の半導体素子実装基板部を備え、複数個の半導体素子実装基板部を連結するための連結部を備え、位置合わせマーク部を備えている半導体素子実装用フレームの製造法であって、

(a) 導電性仮基板上に半導体素子実装部の配線を作製する工程、

(b) 樹脂基材上に配線を転写する工程、

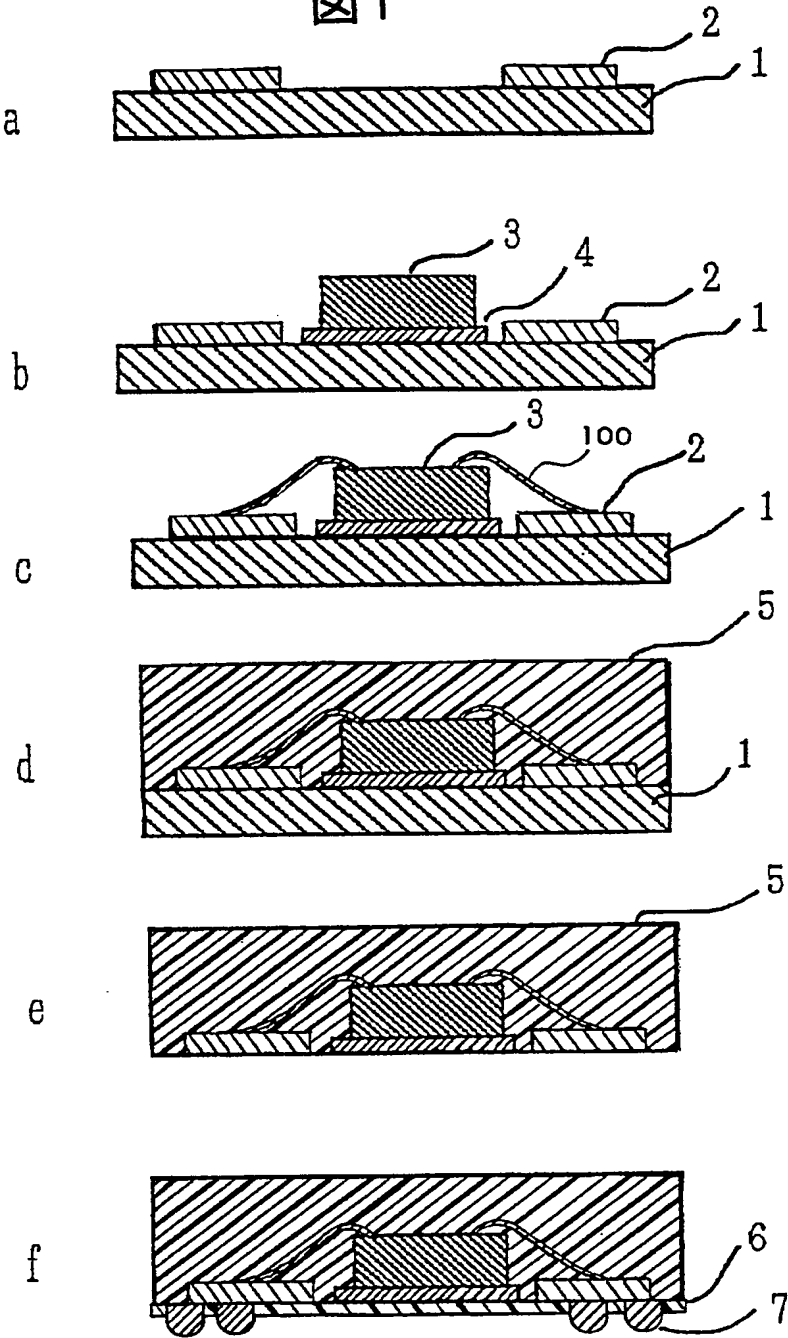
(c) 導電性仮基板をエッチング除去する工程、

-45-

を含み、(c)の導電性仮基板の除去に際して、導電性仮基板に一部を残し連結部の一部を構成するようにすることを特徴とする半導体素子実装用フレームの製造法。

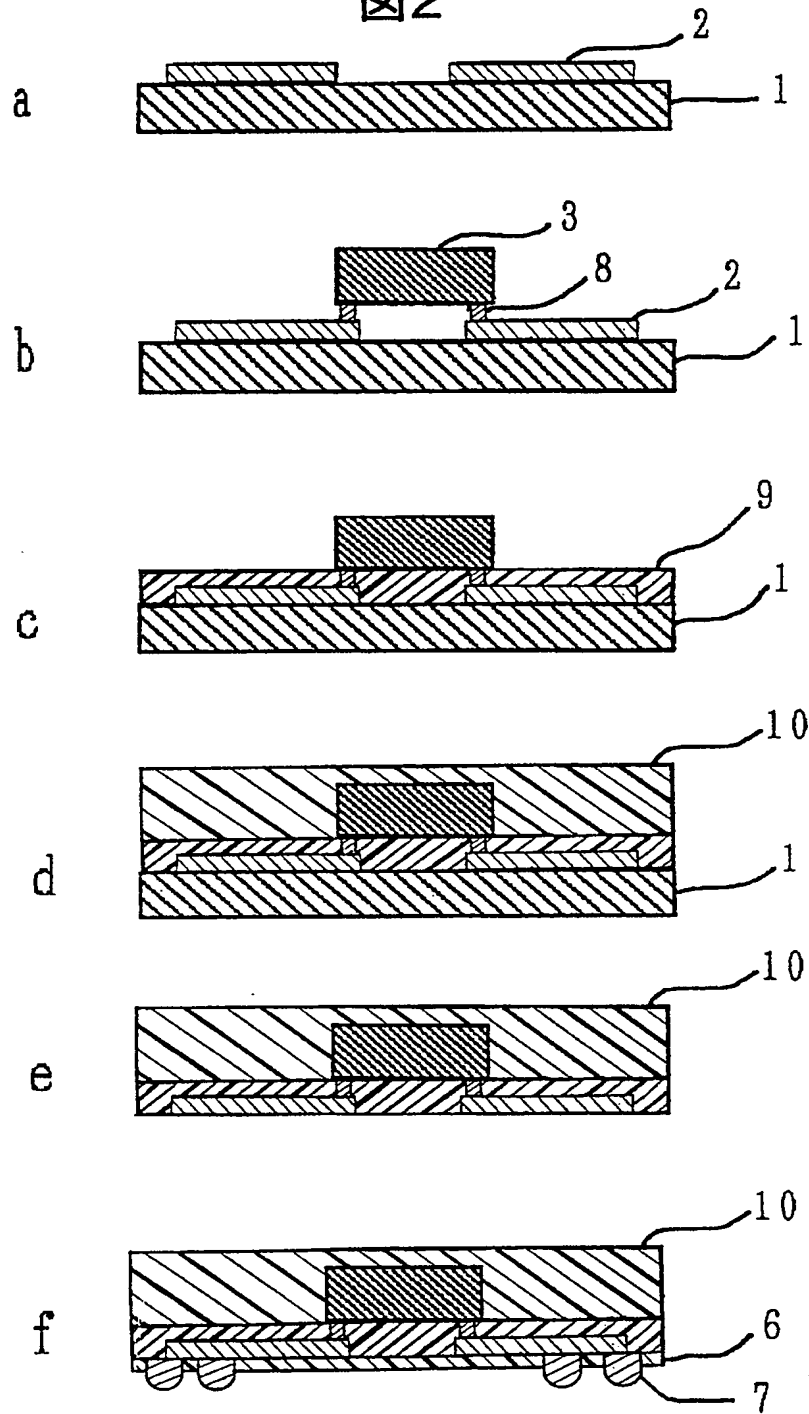
1/24

図 1



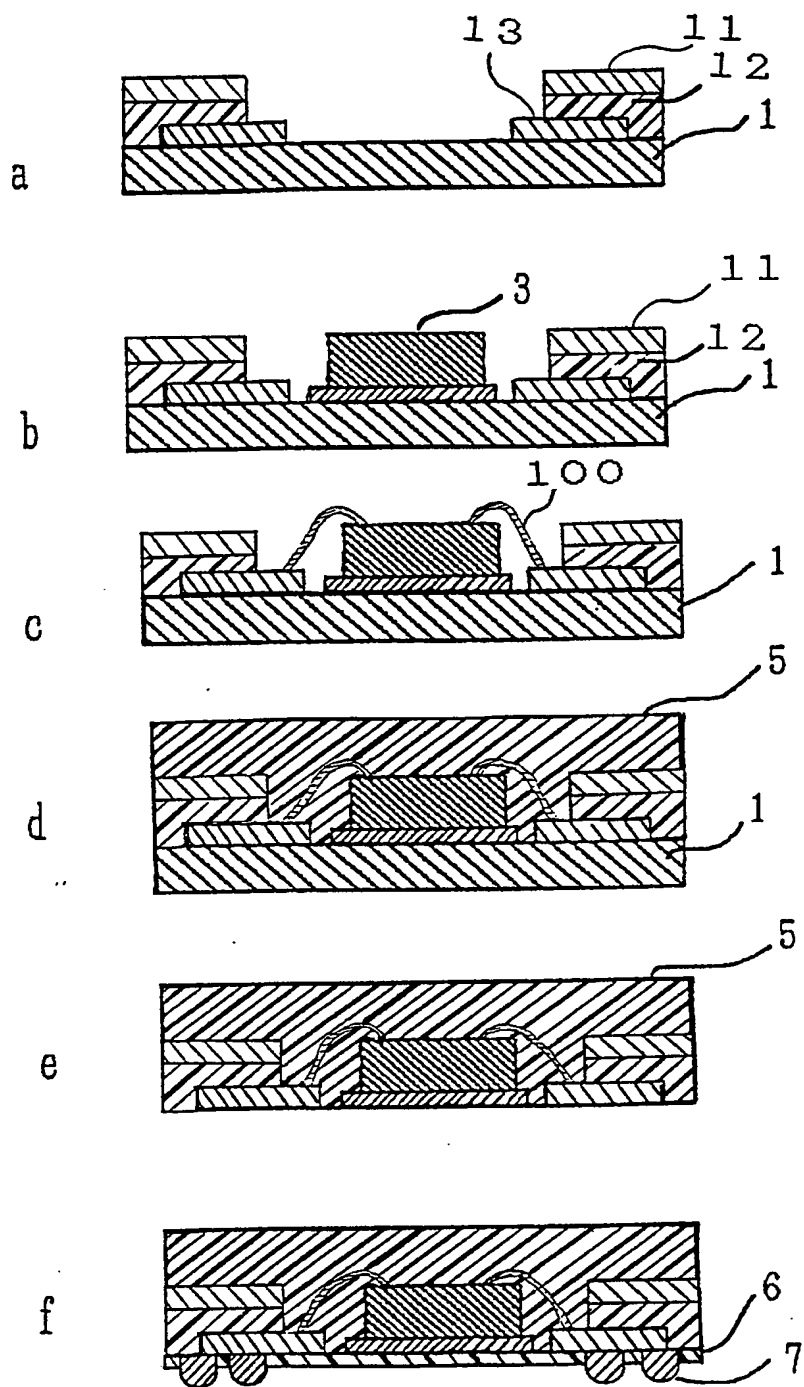
2/24

図2



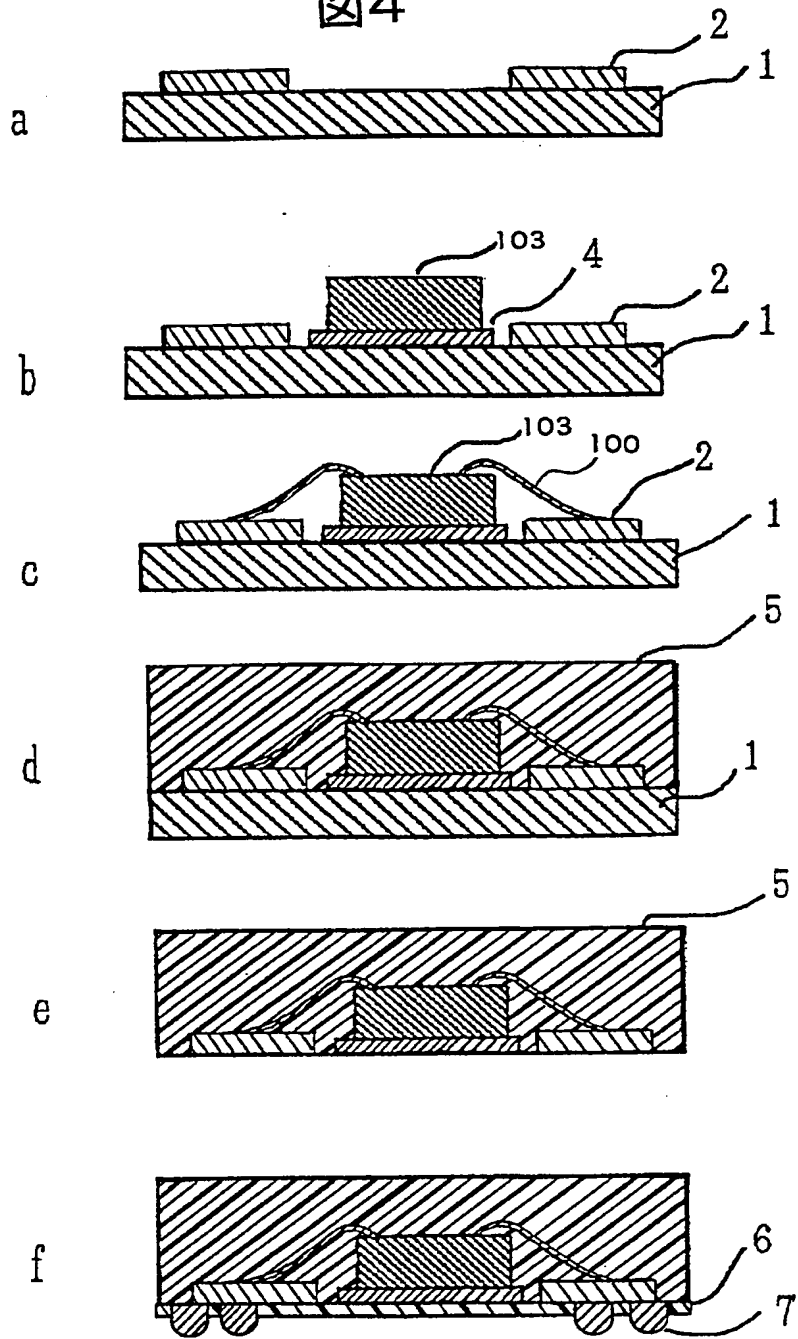
3/24

図3



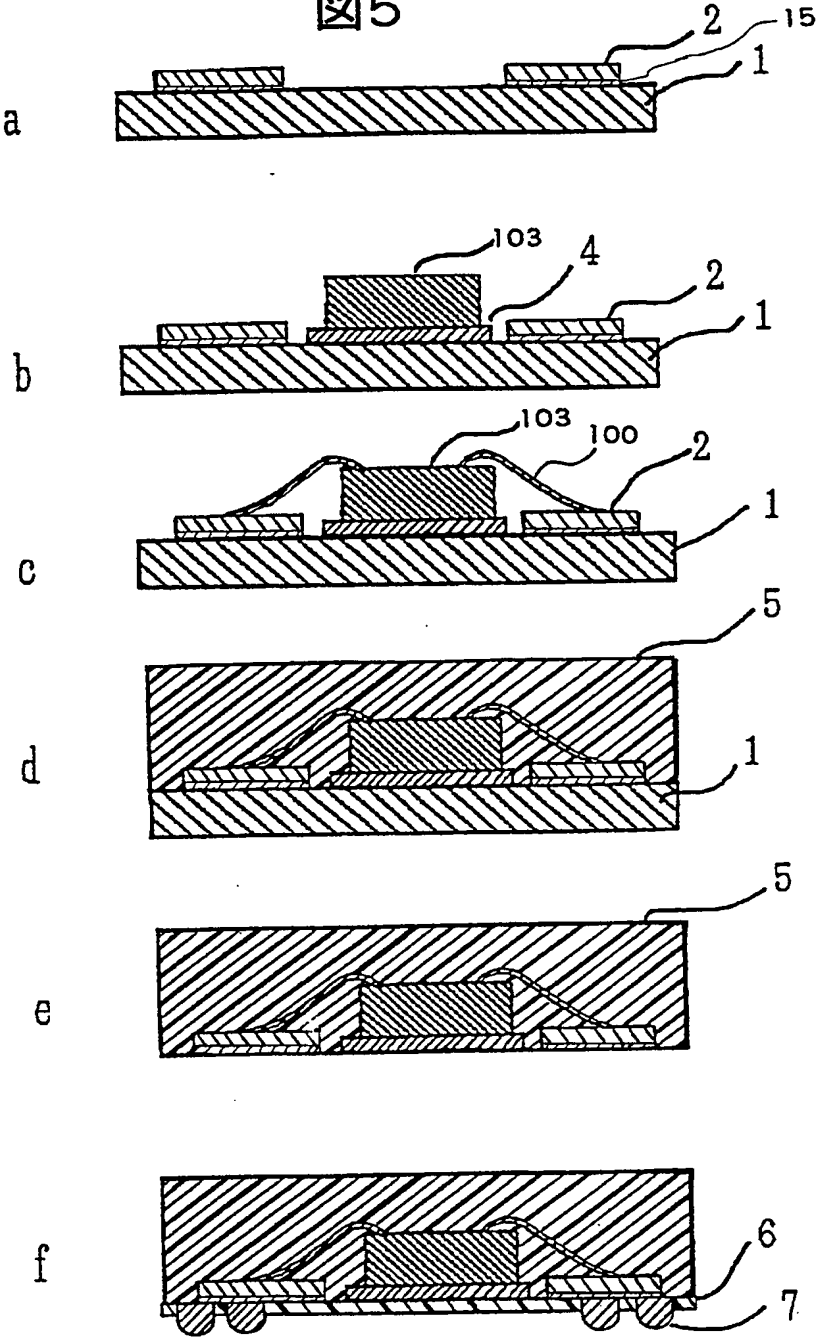
4/24

図4



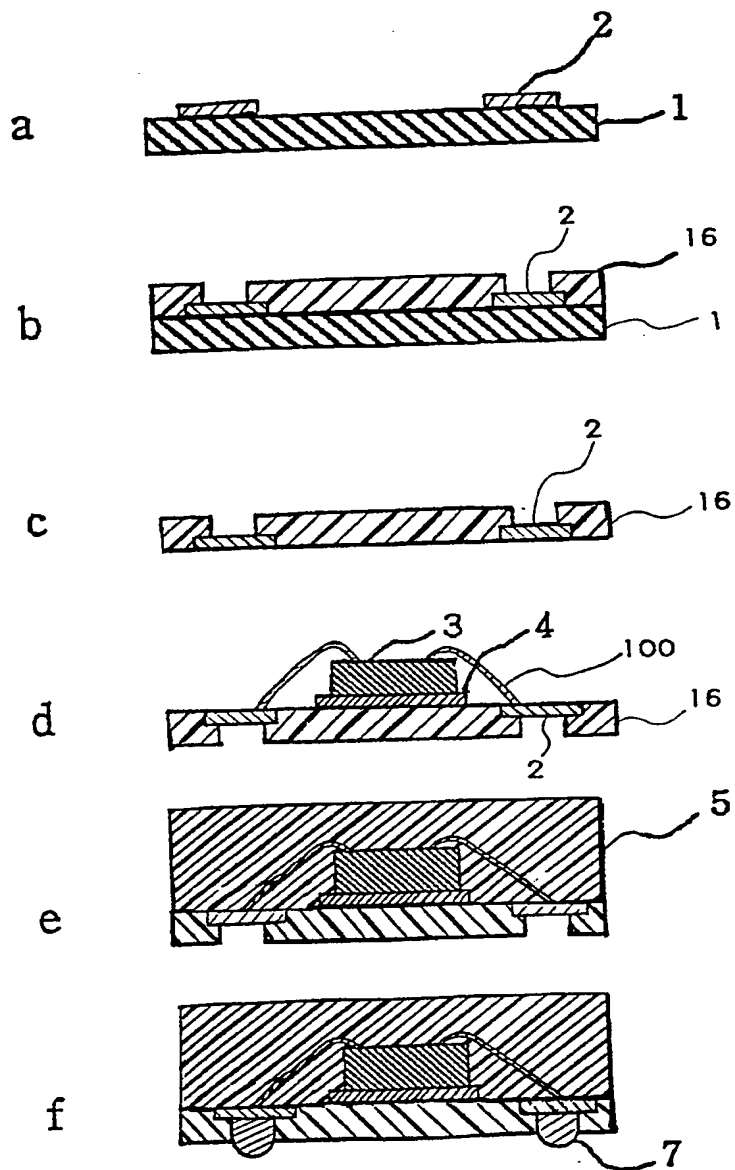
5/24

図5



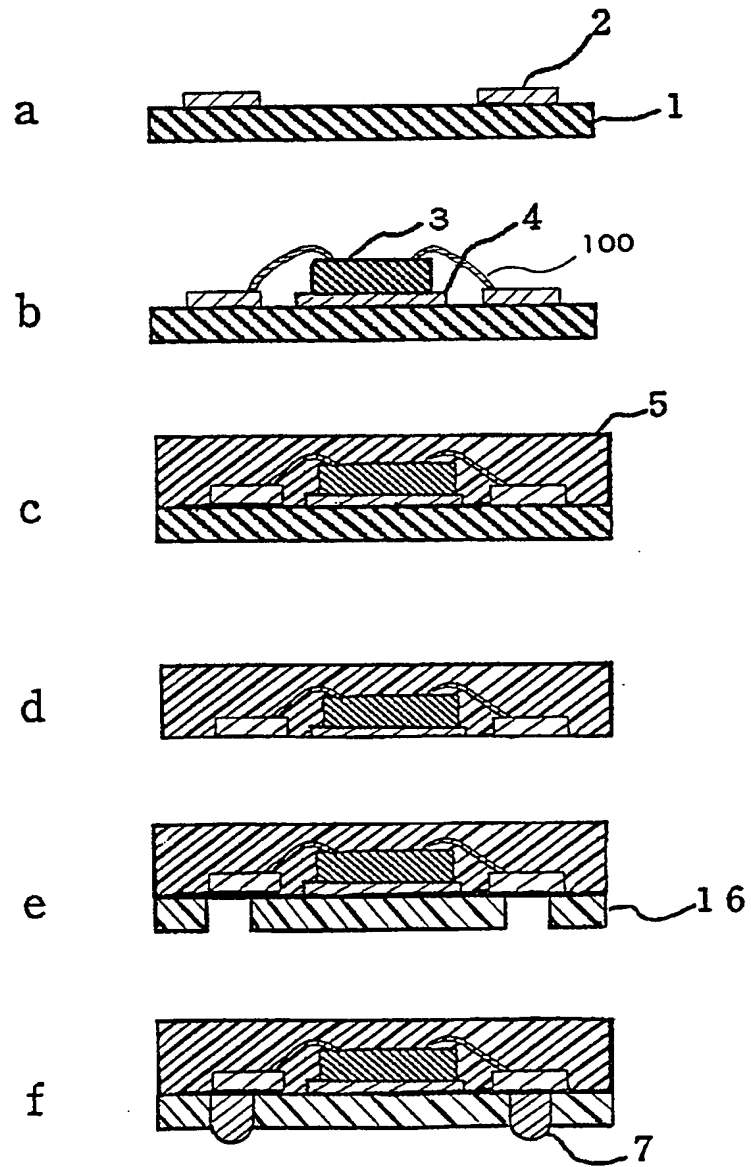
6/24

図6



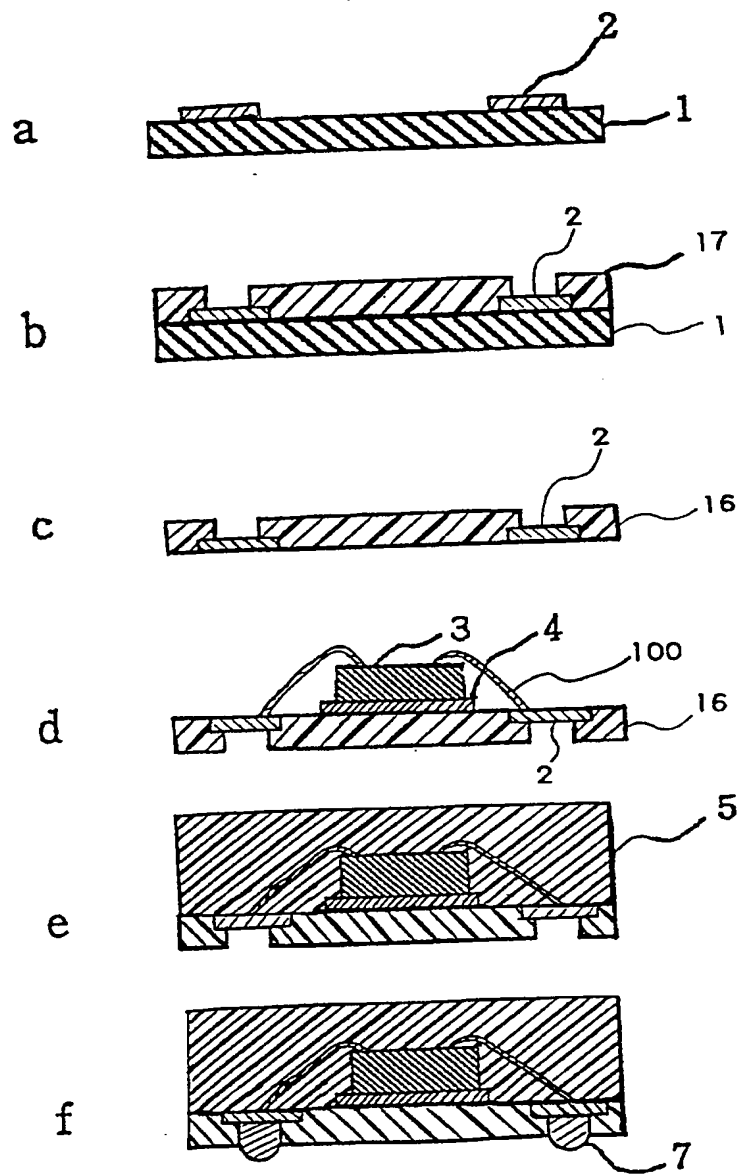
7/24

図 7



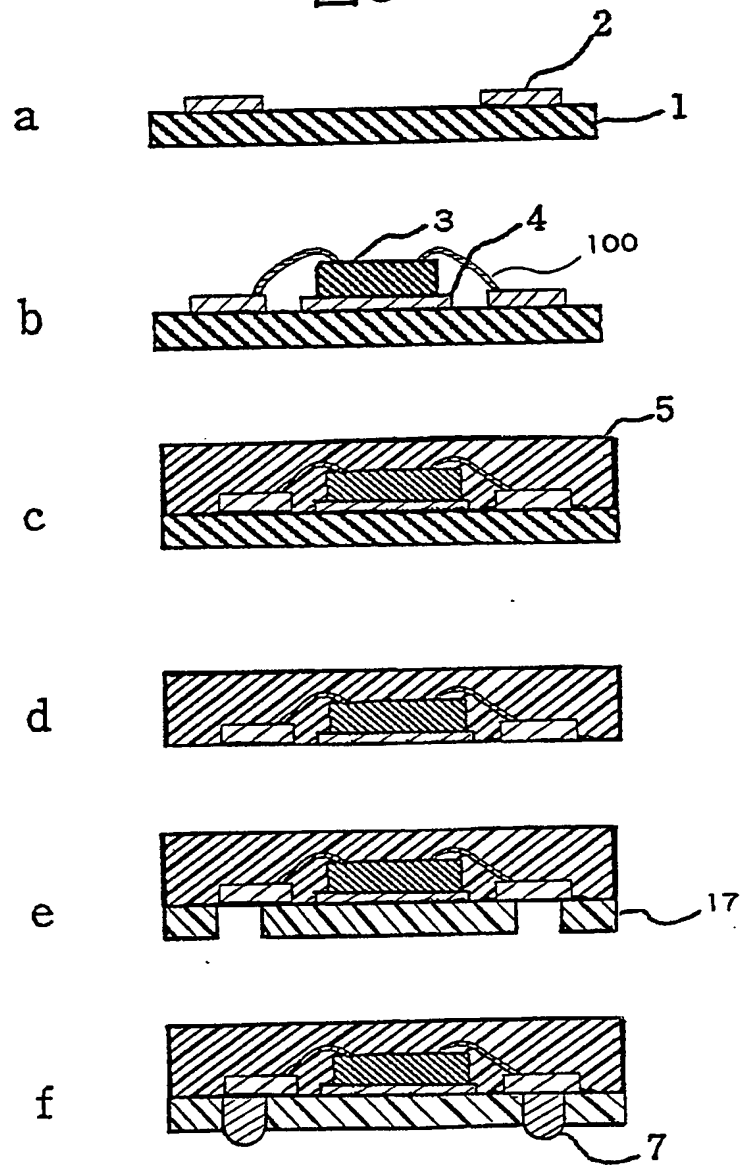
8/24

図8



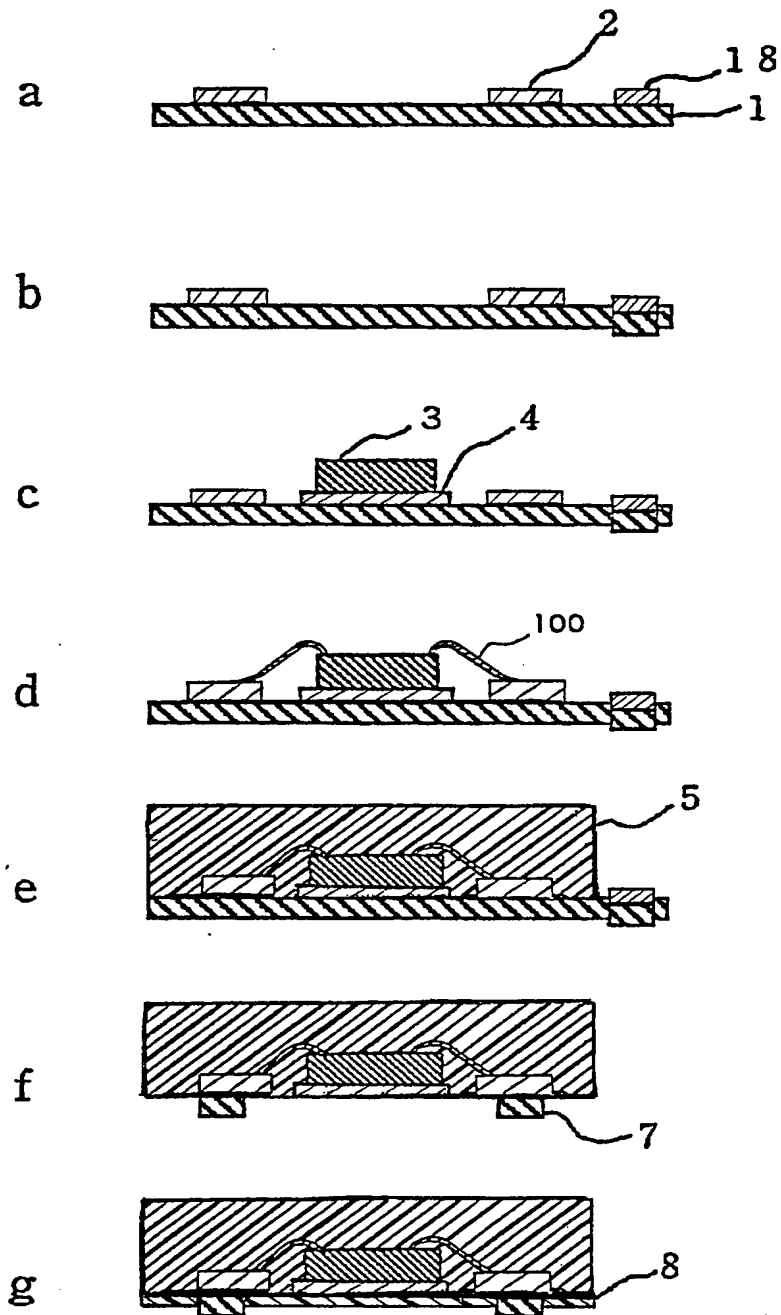
9/24

図9



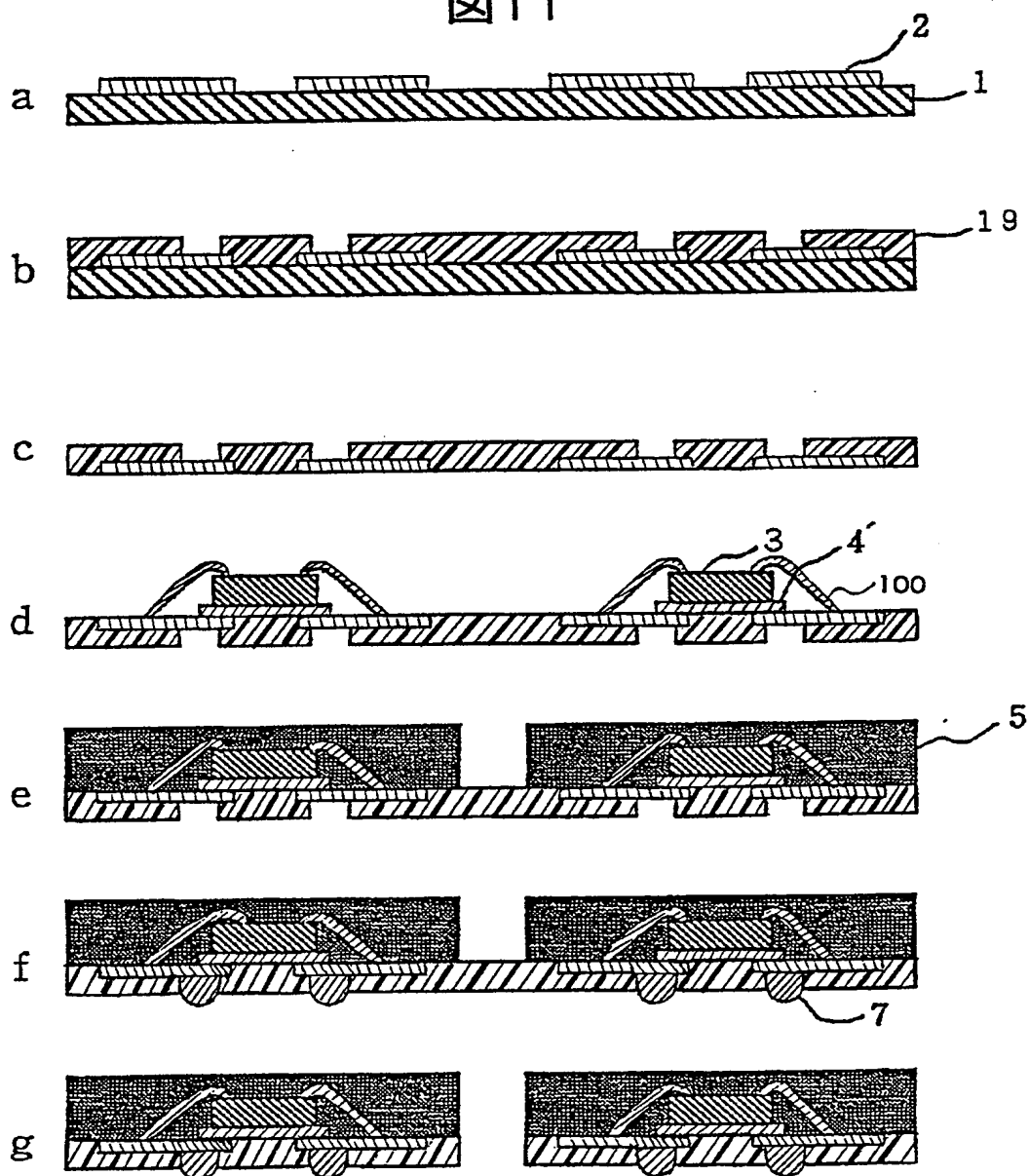
10/24

図 10



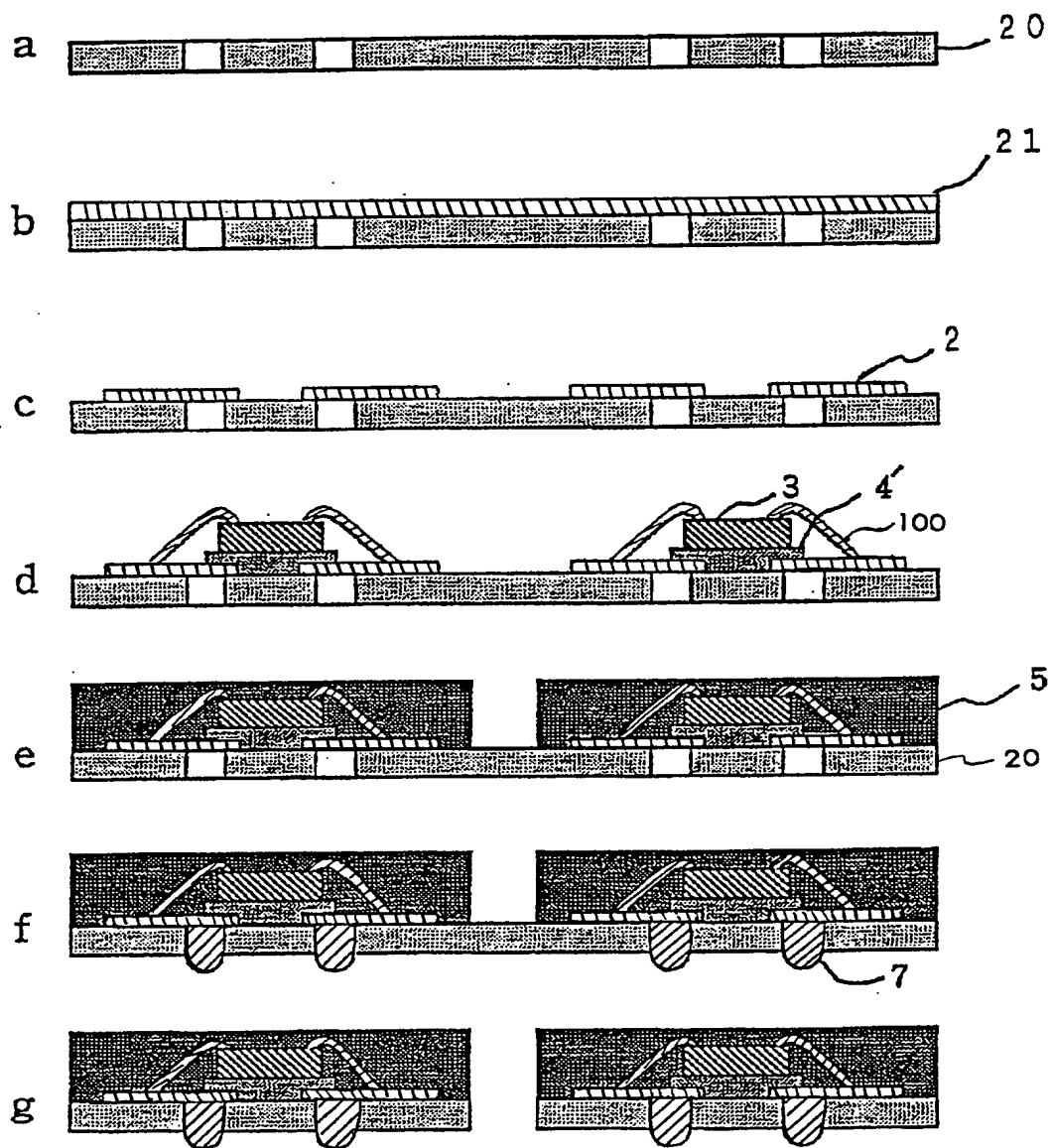
11/24

図 11



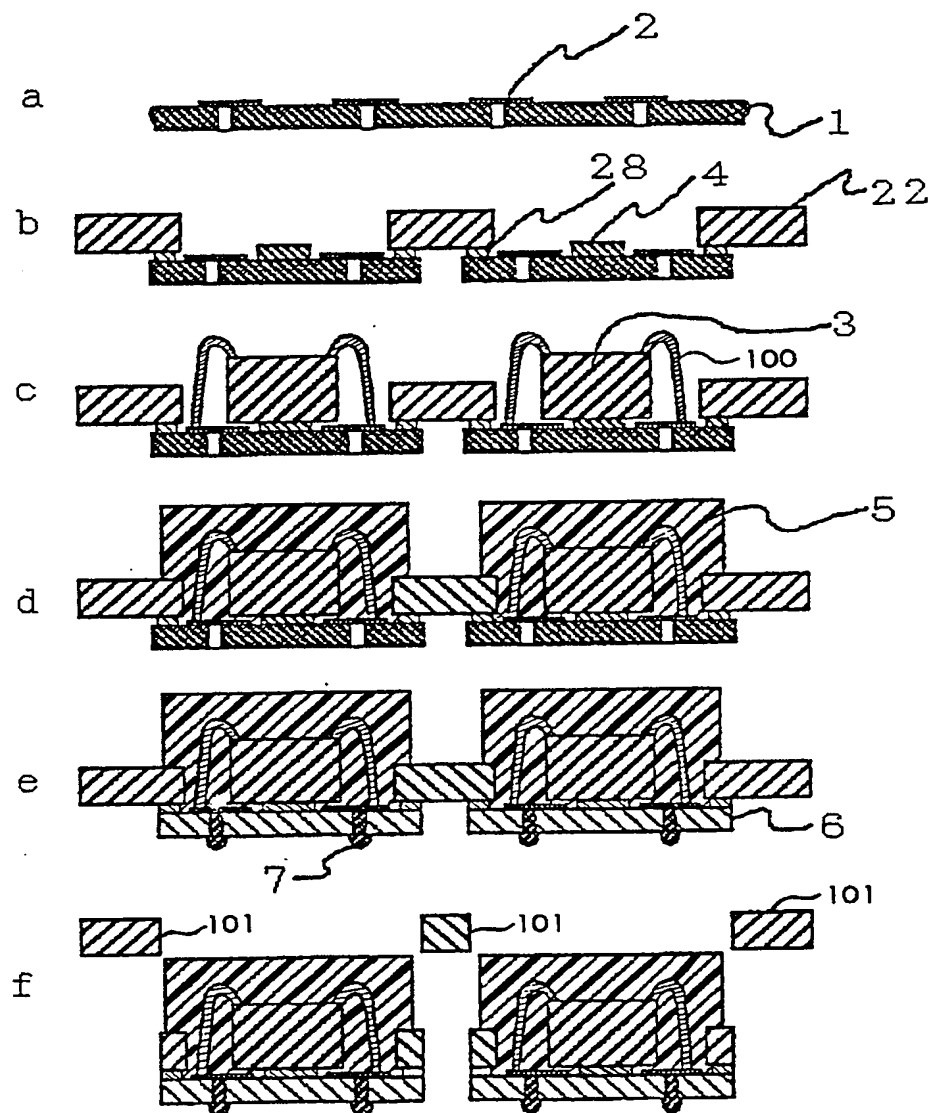
12/24

図12



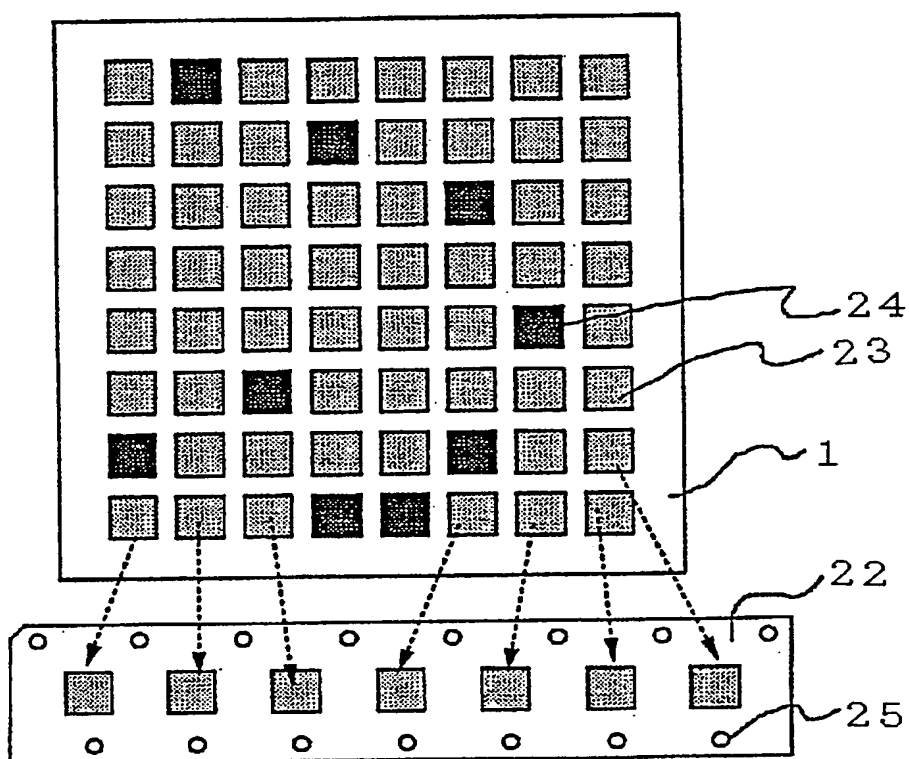
13/24

図 13



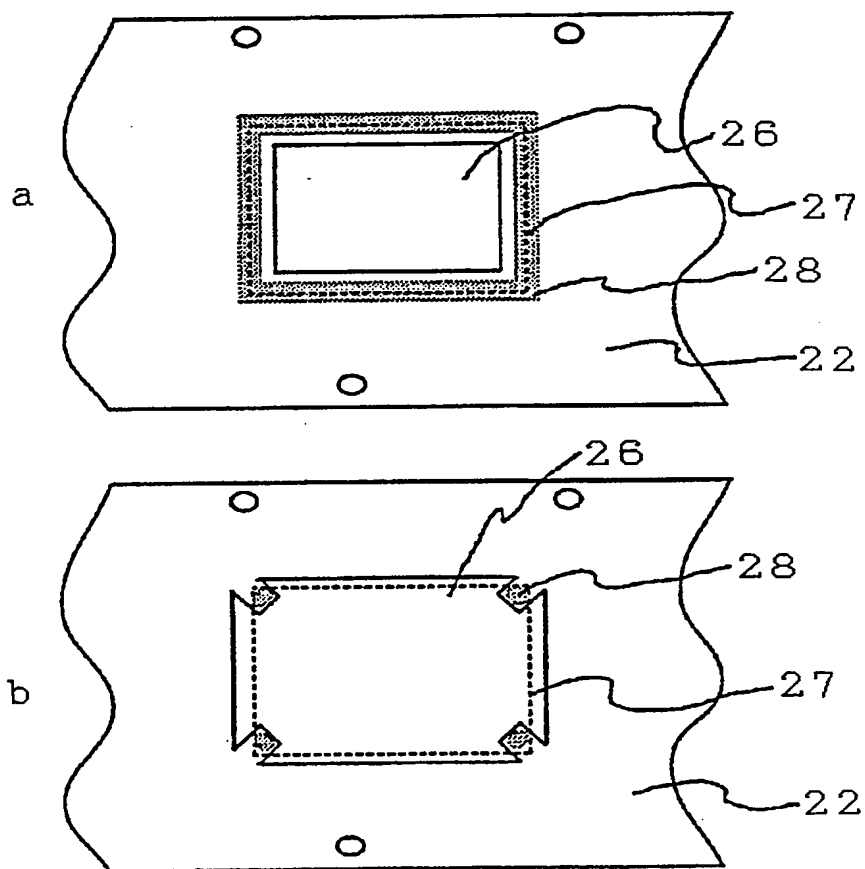
14/24

図 14



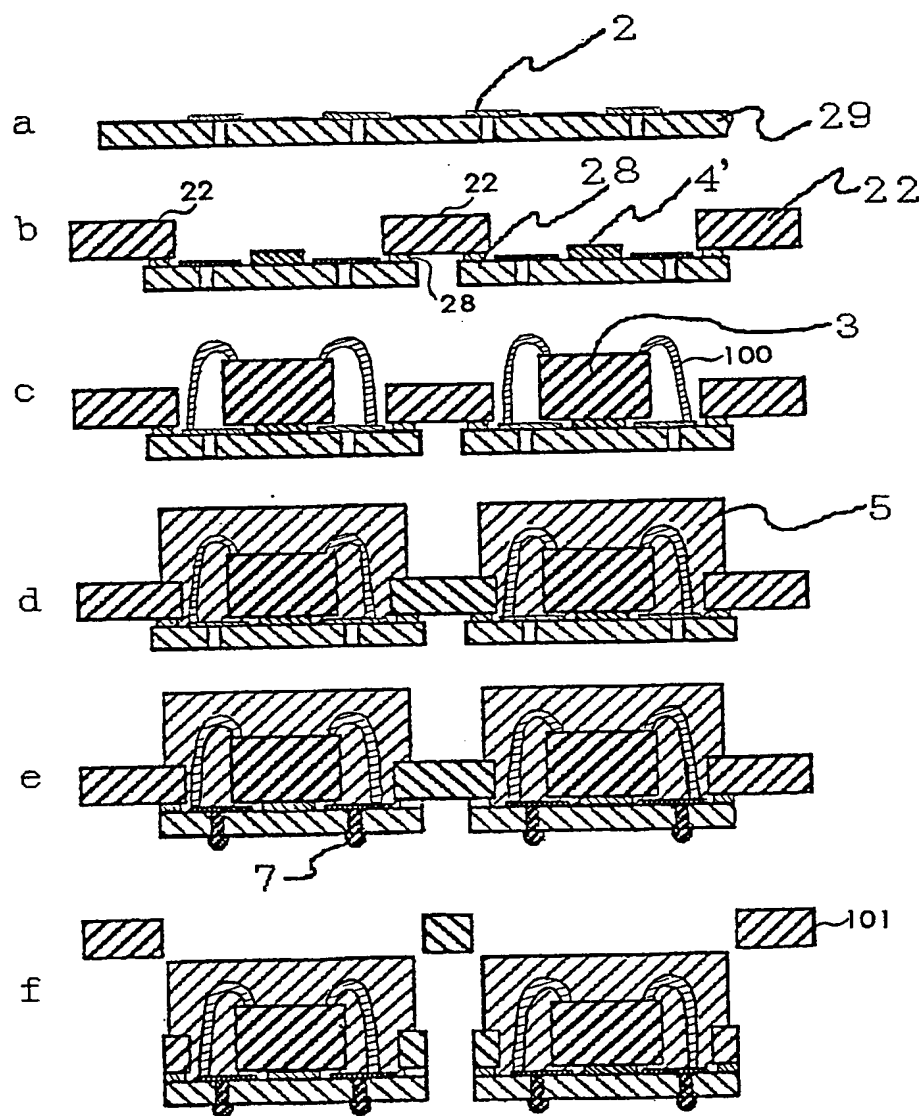
15/24

図 15



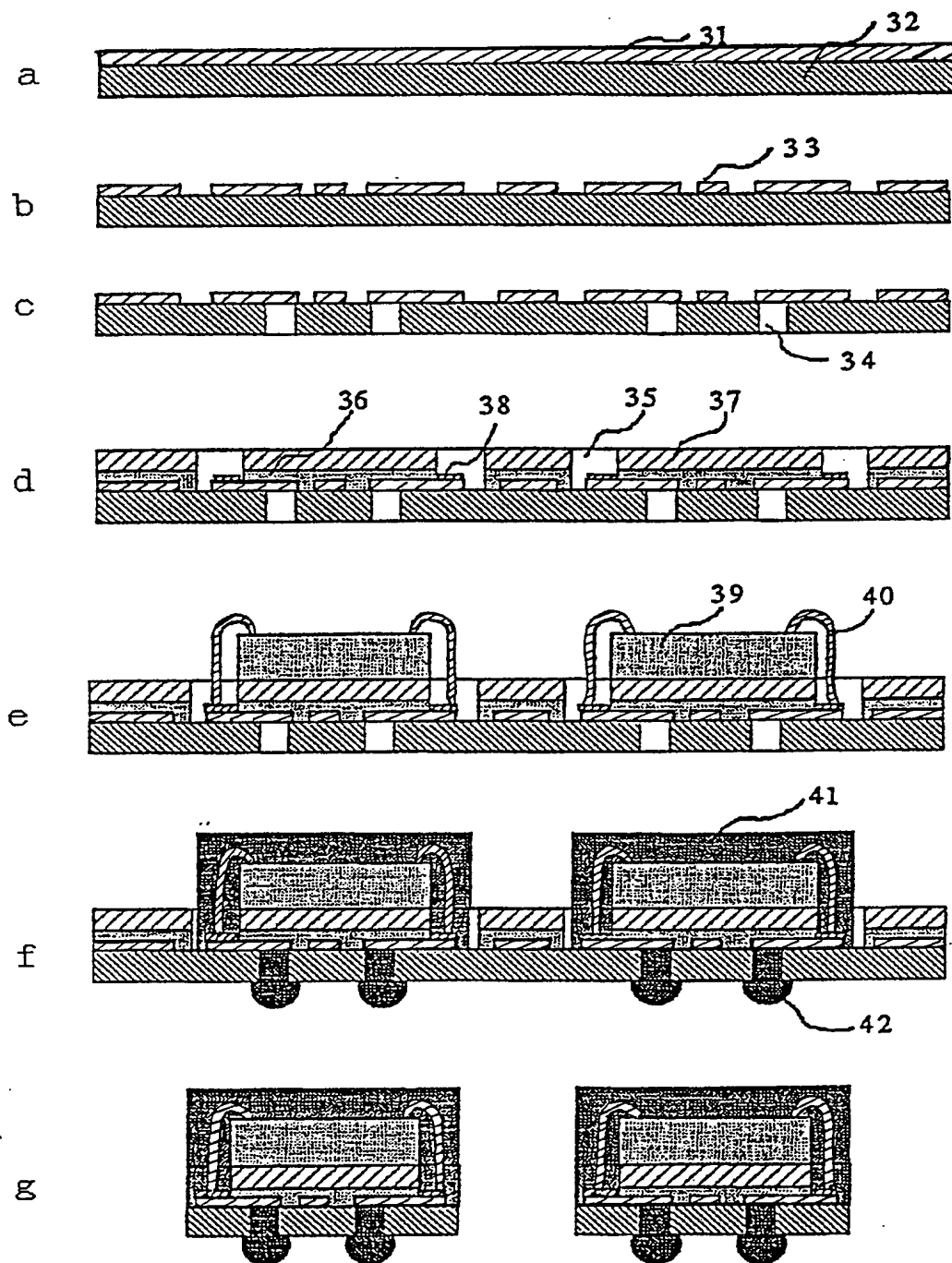
16/24

図 16



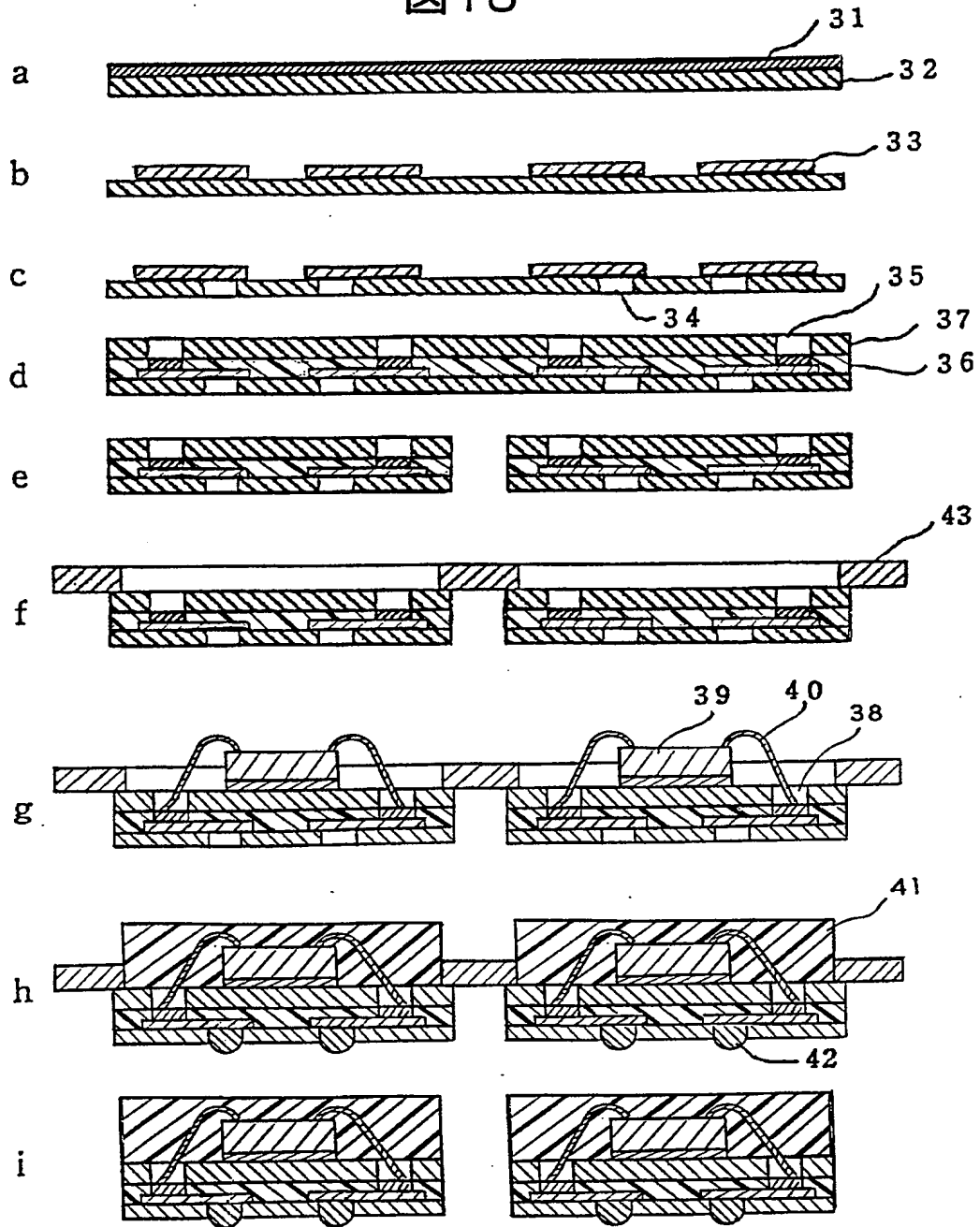
17/24

図17



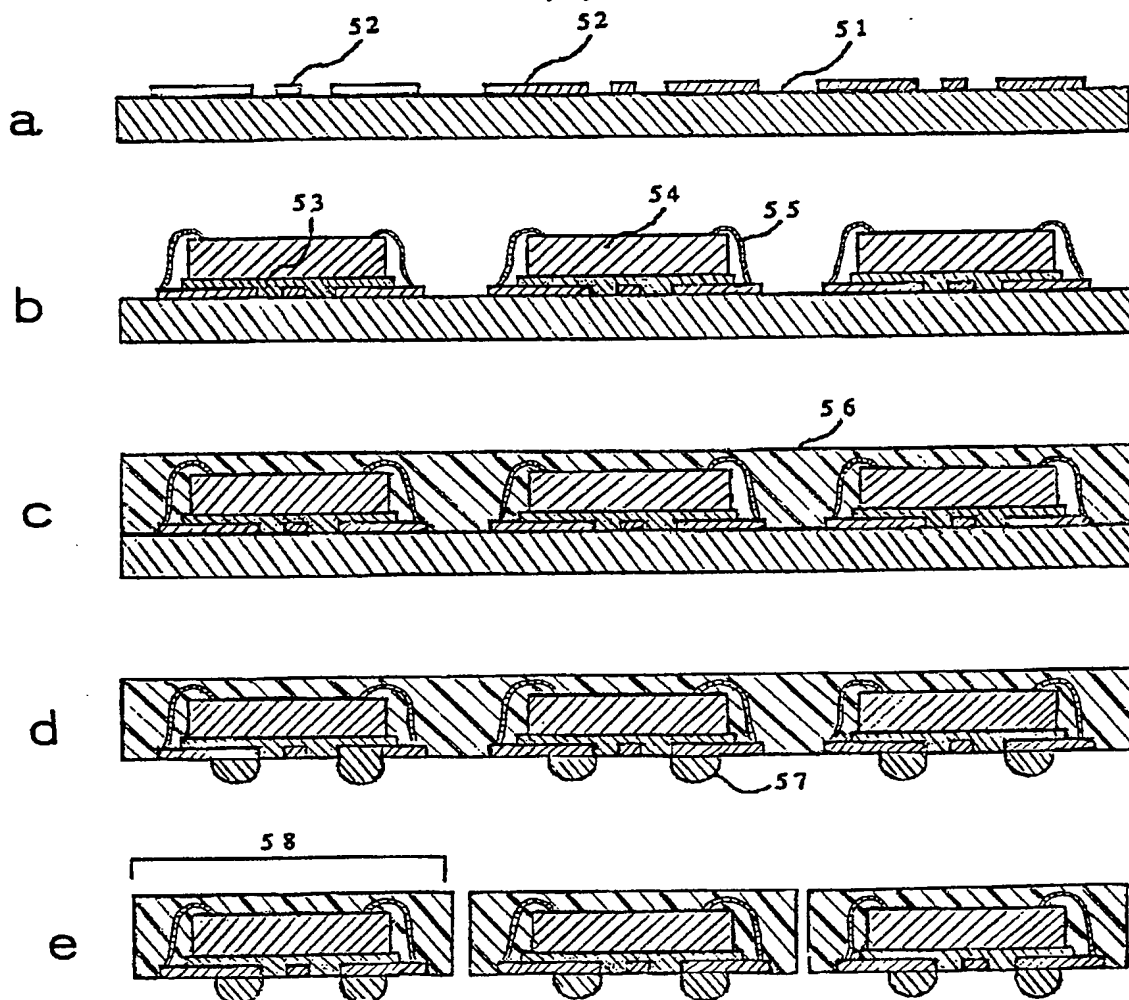
18/24

図18



19/24

19



20/24

図20

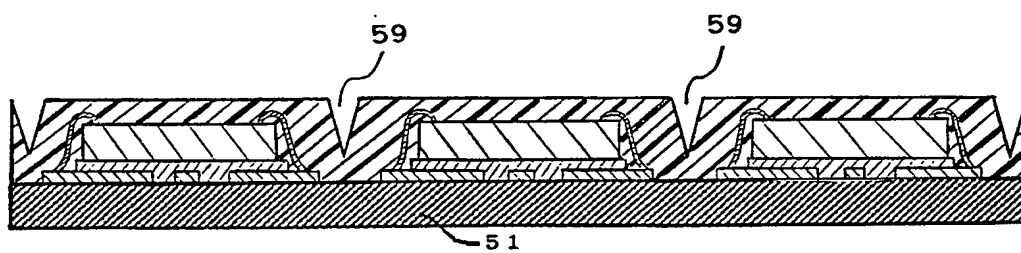
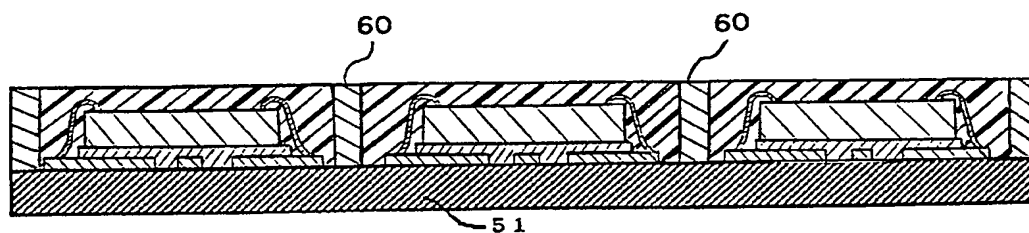
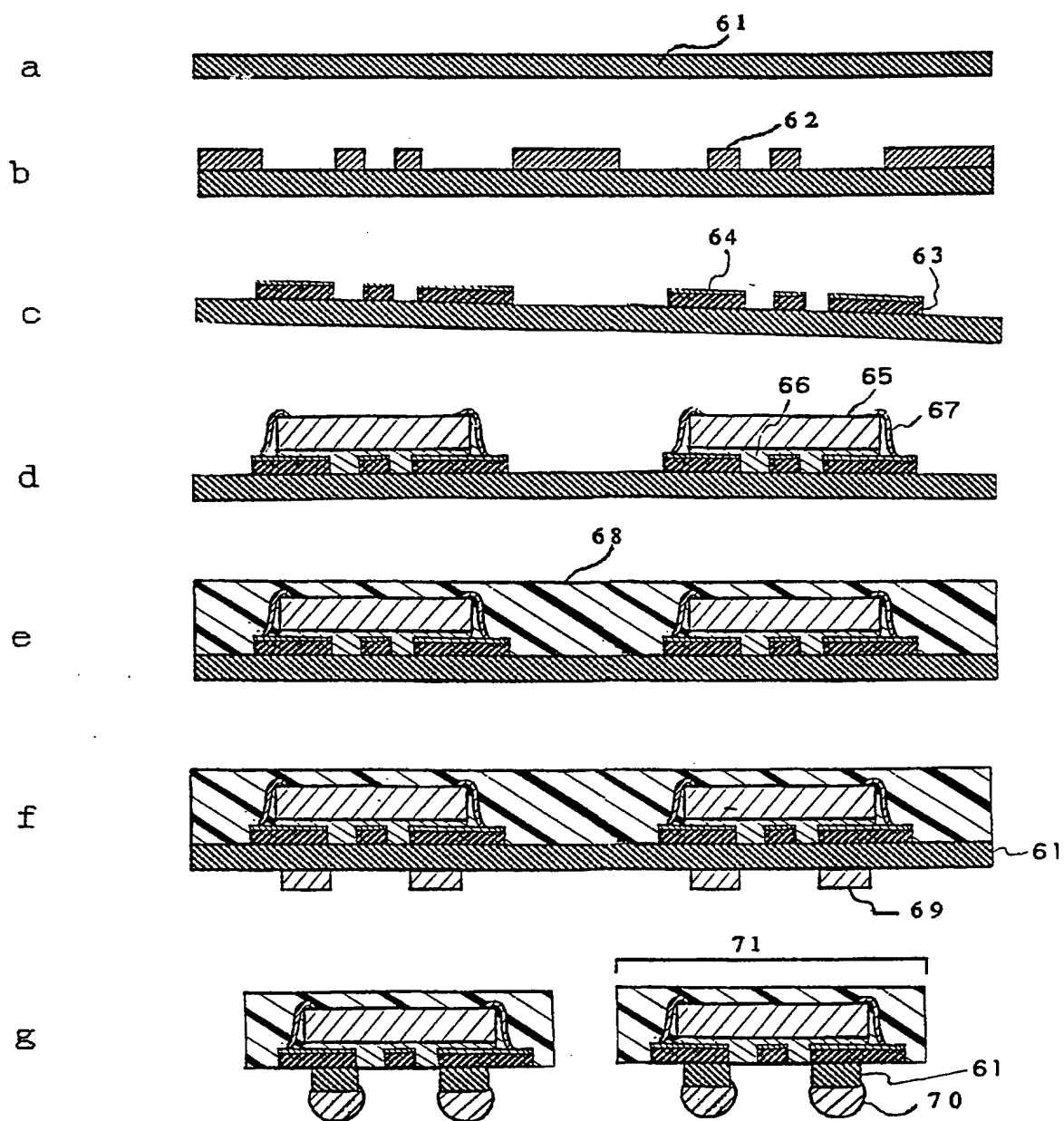


図21



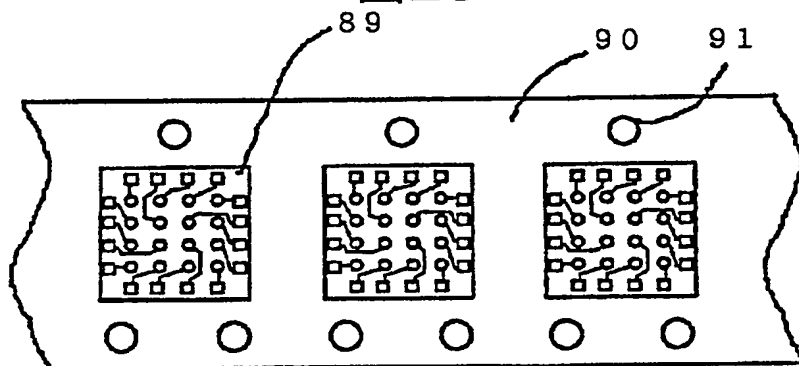
21/24

図22



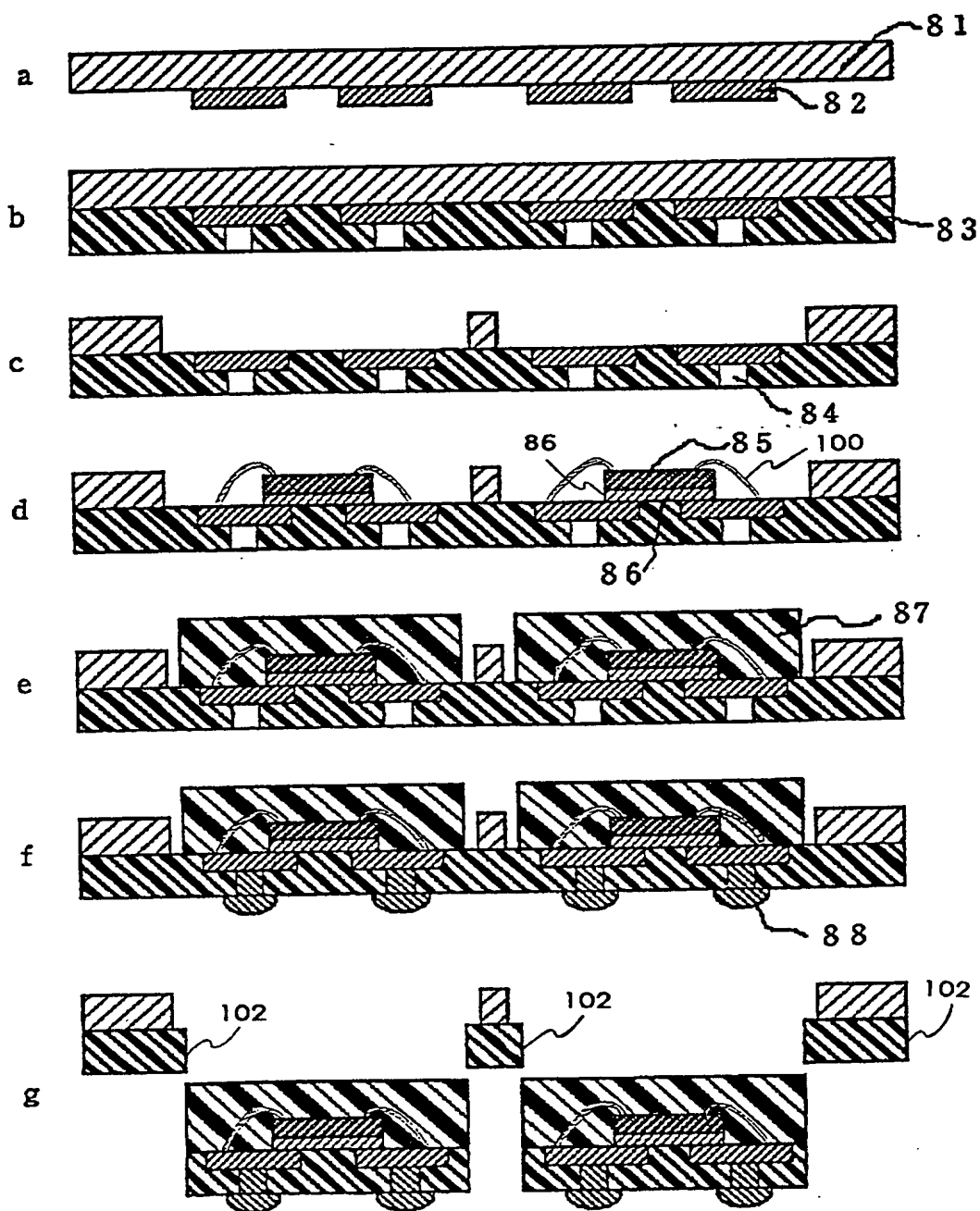
22/24

図23



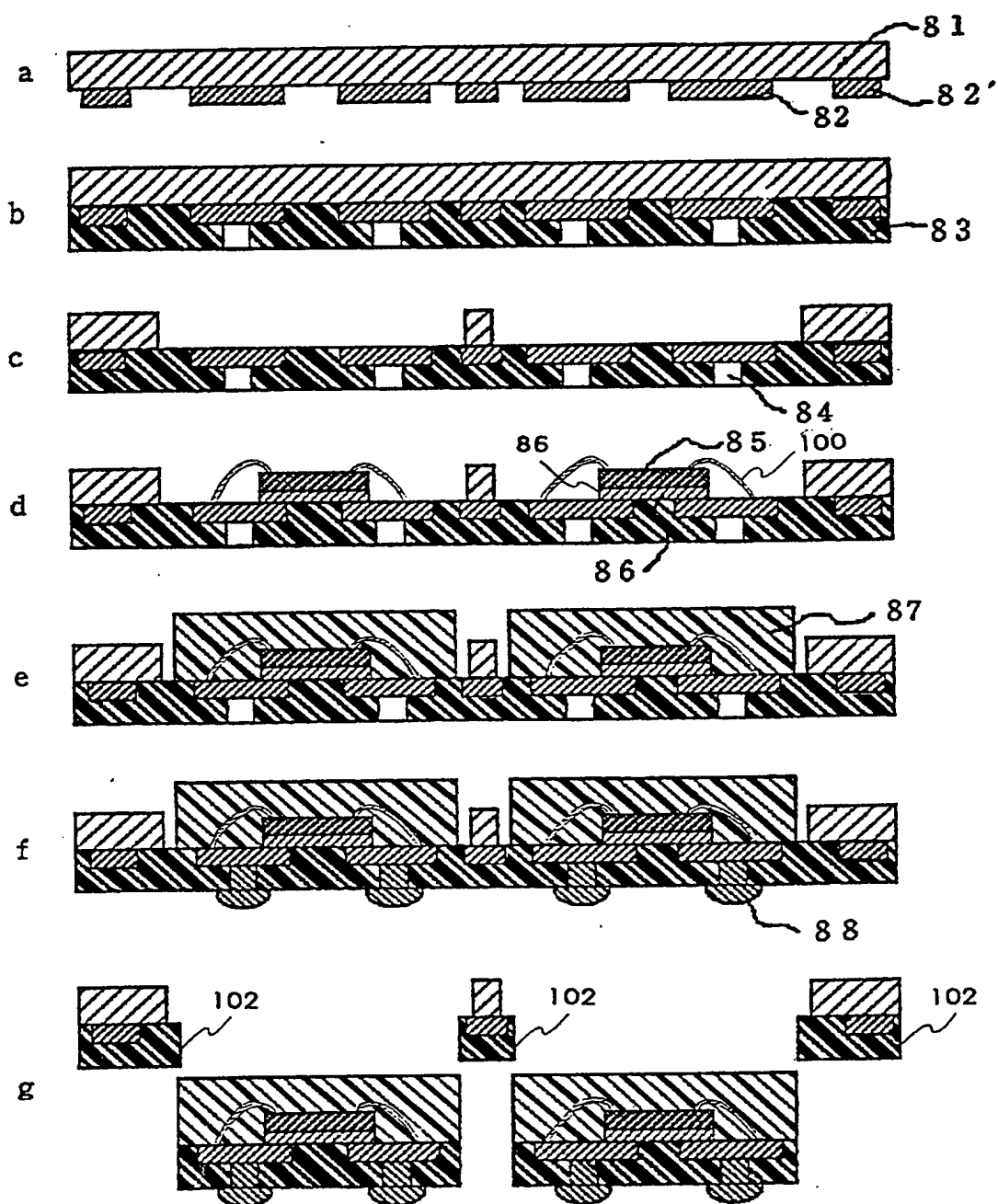
23/24

図24



24/24

図25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00492

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L23/12, H01L23/14, H01L23/50, H01L23/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995
 Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 59-208756, A (Sony Corp.), November 27, 1984 (27. 11. 84), Claim, Figs 2A to 2D (Family: none)	1-5, 10, 11, 12
Y	JP, 3-94459, A (Shinko Denki Kogyo K.K.), April 19, 1991 (19. 04. 91), Claim, Fig. 1 (Family: none)	1-5, 10, 11, 12
Y	JP, 5-129473, A (Sony Corp.), May 25, 1993 (25. 05. 93), Claim, Fig. 5 (Family: none)	1-5, 10, 11, 12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

June 13, 1995 (13. 06. 95)

Date of mailing of the international search report

June 27, 1995 (27. 06. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁶ H01L23/12		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁶ H01L23/12, H01L23/14, H01L23/50, H01L23/04		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1995年 日本国公開実用新案公報 1971-1995年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP. 59-208756, A (ソニー株式会社), 27. 11月. 1984 (27. 11. 84), 特許請求の範囲第2A-2D図 (ファミリーなし)	1-5, 10, 11, 12
Y	JP. 3-94459, A (新光電気工業株式会社), 19. 4月. 1991 (19. 04. 91), 特許請求の範囲第1図 (ファミリーなし)	1-5, 10, 11, 12
Y	JP. 5-129473, A (ソニー株式会社),	1-5, 10,
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日		国際調査報告の発送日
13. 06. 95		27.06.95
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 津野 孝 電話番号 03-3581-1101 内線 3463

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	<p>25. 5月. 1993 (25. 05. 93), 特許請求の範囲第5図 (ファミリーなし)</p>	<p>11, 12</p>